

WEST**End of Result Set**

Generate Collection

Print

L3: Entry 1 of 1

File: JPAB

Jan 23, 1998

PUB-NO: JP410022462A

DOCUMENT-IDENTIFIER: JP 10022462 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: January 23, 1998

INVENTOR-INFORMATION:

NAME

COUNTRY

IWATA, HIROSHI

KAKIMOTO, SEIZO

NAKANO, MASAYUKI

MATSUOKA, TOSHIMASA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SHARP CORP

APPL-NO: JP08170072

APPL-DATE: June 28, 1996

INT-CL (IPC): H01 L 27/08; H01 L 21/76

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which a threshold value dynamically changes to enable operation at a low voltage, and manufacture thereof.

SOLUTION: This device has a deep well region 302 of a first conduction type formed in a semiconductor substrate, a shallow well region 303 of a second conduction type formed in the deep well region 302, source/drain regions 307 of the first conduction type formed in the shallow well region 303, a channel region formed between the source/drain regions 307, a gate insulating film 305 formed on the channel region, and a gate electrode 306 formed on the gate insulating film 305. The gate electrode 306 is electrically connected with the shallow well region 303. Each shallow well region 303 is electrically isolated from adjacent shallow well regions 303 by a groove-type element isolation structure 304.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22462

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/08 21/76	3 3 1		H 0 1 L 27/08 21/76	3 3 1 A L

審査請求 未請求 請求項の数41 O L (全 50 頁)

(21) 出願番号 特願平8-170072

(22) 出願日 平成8年(1996) 6月28日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 岩田 浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 柿本 誠三

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 中野 雅行

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 山本 秀策

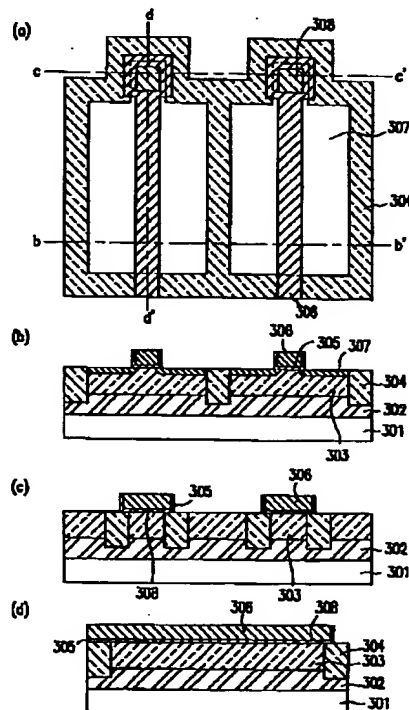
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 低電圧で動作するように動的にしきい値の変化する半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板内に形成された第1導電型の深いウェル領域302と、深いウェル領域302内に形成された第2導電型の浅いウェル領域303と、浅いウェル領域303内に形成された第1導電型のソース/ドレイン領域307と、ソース/ドレイン領域307の間に形成されたチャネル領域と、チャネル領域上に形成されたゲート絶縁膜305と、ゲート絶縁膜305上に形成されたゲート電極306とを備え、ゲート電極306が浅いウェル領域103と電気的に接続され、各浅いウェル領域303は、隣接する他の浅いウェル領域303から溝型素子分離構造304によって電気的に分離されている。



1

【特許請求の範囲】

【請求項1】 半導体基板と、

該半導体基板内に形成された第1導電型の深いウェル領域と、

該深いウェル領域内に形成された、複数の第2導電型の浅いウェル領域と、

該複数の浅いウェル領域内にそれぞれ形成された第1導電型のソース領域及びドレイン領域と、

該ソース領域及び該ドレイン領域の間に形成されたチャネル領域と、

該チャネル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成されたゲート電極と、を備えた半導体装置であって、

該ゲート電極が対応する該浅いウェル領域と電氣的に接続されており、

該浅いウェル領域は、隣接する他の浅いウェル領域から電氣的に分離されている、半導体装置。

【請求項2】 半導体基板と、

該半導体基板内に形成され、バイポーラトランジスタのエミッタ又はコレクタとして機能し得る第1導電型の深いウェル領域と、

該深いウェル領域内に形成され、該バイポーラトランジスタのベースとして機能し得る第2導電型の浅いウェル領域と、

該浅いウェル領域内に形成され、該バイポーラトランジスタのコレクタ又はエミッタとして機能し得る第1導電型のソース領域及びドレイン領域と、

該ソース領域及び該ドレイン領域の間に形成されたチャネル領域と、

該チャネル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成されたゲート電極と、を備え、

該ゲート電極は該浅いウェル領域と電氣的に接続され、MOS型トランジスタ動作及びバイポーラトランジスタ動作の複合動作によって動作する半導体装置。

【請求項3】 隣接する浅いウェル領域は、該浅いウェル領域よりも深く、前記深いウェル領域よりも浅い溝型素子分離構造によって電氣的に分離されている請求項1または2に記載の半導体装置。

【請求項4】 前記溝型素子分離構造に囲まれた領域の一部を覆うようにフィールド酸化膜が形成されており、前記ゲート電極と前記浅いウェル領域とを電氣的に接続するためのコンタクト領域が、該フィールド酸化膜によって囲まれている請求項3に記載の半導体装置。

【請求項5】 前記ゲート電極は、前記ゲート絶縁膜上に形成された多結晶シリコン膜と、該多結晶シリコン膜上に形成された金属シリサイド膜とを含んでおり、

該金属シリサイド膜は、該浅いウェル領域のコンタクト部を介して、該浅いウェルに電氣的に接続されたっており、該コンタクト部には、該浅いウェル領域の導電型と同じ導電型の不純物が該浅いウェル領域の他の部分の不

2

純物濃度よりも高い不純物濃度で拡散された高濃度不純物拡散領域が形成されており、該高濃度不純物拡散領域を介して該金属シリサイド膜と該浅いウェル領域とがオーミック接触している請求項1から4の何れかに記載の半導体装置。

【請求項6】 前記半導体基板上に設けられた層間絶縁膜と、該層間絶縁膜上に設けられた上部配線とを備えており、該層間絶縁膜には、前記ゲート電極及び前記ゲート酸化膜を貫通して前記浅いウェル領域のコンタクト部に達するコンタクト孔が形成されており、

該コンタクト部には、該浅いウェル領域の導電型と同じ導電型の不純物が該浅いウェル領域の他の部分の不純物濃度よりも高い不純物濃度で拡散された高濃度不純物拡散領域が形成されており、該コンタクト孔の底部において、該高濃度不純物拡散領域を介して該上部配線と該浅いウェル領域とがオーミック接続され、

該コンタクト孔の側壁部において、該ゲート電極と該上部配線とがオーミック接続されており、請求項1から4の何れかに記載の半導体装置。

【請求項7】 半導体基板と、該半導体基板内に形成された第1導電型の深いウェル領域と、該深いウェル領域内に形成された、複数の第2導電型の浅いウェル領域と、該複数の浅いウェル領域内にそれぞれ形成された第1導電型のソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の間に形成されたチャネル領域と、該チャネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備え、該ゲート電極が対応する該浅いウェル領域と電氣的に接続されており、該浅いウェル領域が隣接する他の浅いウェル領域から電氣的に分離されている半導体装置の製造方法であって、

該ゲート電極の側壁にサイドウォールスペーサーを形成する工程と、該浅いウェル領域と該ゲート電極とを接続するコンタクト領域において、該浅いウェル領域の表面を部分的に露出させるコンタクト孔を、該ゲート電極中に形成する工程と、

該ゲート電極、及び該コンタクト孔によって部分的に露出している該浅いウェル領域の該コンタクト領域を覆うように、高融点金属膜を堆積する工程と、

該高融点金属膜の一部をシリサイド化し、該ゲート電極及び該コンタクト領域に、自己整合的に、高融点金属シリサイド膜を形成する工程と、を包含する半導体装置の製造方法。

【請求項8】 高融点金属シリサイド膜を形成する工程の前又は後に、イオン注入法により、前記浅いウェル領域の導電型と同じ導電型の不純物イオンを、前記コンタクト孔を通して、前記ウェル領域に注入し、それによって、高濃度拡散層を形成する工程を包含する、請求項7に記載の半導体装置の製造方法。

【請求項9】 半導体基板と、
 該半導体基板内に形成された深いn型ウェル領域と、
 該半導体基板内に形成された深いp型ウェル領域と、
 該深いn型ウェル領域内に形成された、浅いp型ウェル領域と、
 該深いp型ウェル領域内に形成された、浅いn型ウェル領域と、
 該浅いp型ウェル領域内に形成されたnチャネル型のMOS型トランジスタと、
 該浅いn型ウェル領域内に形成されたpチャネル型のMOS型トランジスタと、を備えた半導体装置であって、
 該nチャネル型のMOS型トランジスタは、
 該浅いp型ウェル領域内に形成されたn型ソース領域及びドレイン領域と、該n型ソース領域及びドレイン領域の間に形成されたチャネル領域と、該チャネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたn型ゲート電極とを備え、
 該pチャネル型のMOS型トランジスタは、
 該浅いn型ウェル領域内に形成されたp型ソース領域及びドレイン領域と、該p型ソース領域及びドレイン領域の間に形成されたチャネル領域と、該チャネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたp型ゲート電極とを備え、
 該nゲート電極は該浅いp型ウェル領域と電氣的に接続されており、該p型ゲート電極は該浅いn型ウェル領域と電氣的に接続されている、半導体装置。

【請求項10】 前記深いp型ウェル領域をとり囲み、
 該深いp型ウェル領域よりも更に深い第2のn型ウェル領域と、
 前記深いn型ウェル領域をとり囲み、該深いn型ウェル領域よりも更に深い第2のp型ウェル領域と、
 該第2のn型ウェル領域と該第2のp型ウェル領域とを分離する溝型分離構造と、を備えている請求項9に記載の半導体装置。

【請求項11】 動作時において、前記浅いウェル領域と前記ソース領域との間に形成される電位差、及び該浅いウェル領域と前記ドレイン領域との間に形成される電位差は、何れも、該半導体装置内のpn接合のビルトインポテンシャルよりも小さく設定される、請求項1～6及び9～10の何れかに記載の半導体装置。

【請求項12】 上記請求項9～10の何れかに記載の半導体装置を製造する方法であって、
 前記n型及びp型ゲート電極の側壁にサイドウォールスペーサを形成する工程と、
 該浅いp型ウェル領域と該nゲート電極とを接続する第1コンタクト領域において、該浅いp型ウェル領域の表面を部分的に露出させる第1コンタクト孔を、該nゲート電極中に形成し、該浅いn型ウェル領域と該pゲート電極とを接続する第2コンタクト領域において、該浅いn型ウェル領域の表面を部分的に露出させる第2コンタクト

孔を、該pゲート電極中に形成する工程と、
 該n型及びp型ゲート電極、ならびに該浅いp型及びn型ウェル領域の該第1及び第2コンタクト領域を覆うように、高融点金属膜を堆積する工程と、
 該高融点金属膜の一部をシリサイド化し、該n型及びp型ゲート電極ならびに該第1及び第2コンタクト領域に、自己整合的に、高融点金属シリサイド膜を形成する工程と、を包含し、

前記p型ソース領域及びドレイン領域を形成するためのp型不純物イオンを注入するに際して、該p型不純物イオンを該第1コンタクト領域にも注入し、前記n型ソース領域及びドレイン領域を形成するためのn型不純物イオンを注入するに際して、該n型不純物イオンを該第2コンタクト領域にも注入する、半導体装置の製造方法。

【請求項13】 前記ゲート電極は、他のMOS型トランジスタのソース領域とドレイン領域とを介して、前記浅いウェル領域に電氣的に接続されており、該他のMOS型トランジスタのゲート電極には一定電圧が印可されている、請求項1又は2に記載の半導体装置。

【請求項14】 前記ゲート電極は、他のMOS型トランジスタのソース／ドレイン領域を介して、前記浅いウェル領域に電氣的に接続されており、前記ドレイン領域は、該他のMOS型トランジスタのゲート電極に接続されている、請求項1又は2の何れかに記載の半導体装置。

【請求項15】 半導体基板と、
 該半導体基板内に形成され、NPN型バイポーラトランジスタのエミッタ又はコレクタとして機能し得るN型の深いウェル領域と、

該N型の深いウェル領域内に形成され、該NPN型バイポーラトランジスタのベースとして機能し得るP型の浅いウェル領域と、

該P型の浅いウェル領域内に形成され、該NPN型バイポーラトランジスタのコレクタ又はエミッタとして機能し得るN型のソース領域及びドレイン領域と、

該N型のソース領域及び該ドレイン領域の間に形成されたチャネル領域と、

該チャネル領域上に形成されたゲート絶縁膜と、
 該ゲート絶縁膜上に形成されたN型のゲート電極と、を備え、

該N型のゲート電極は該P型の浅いウェル領域と電氣的に接続され、MOS型トランジスタ動作及びバイポーラトランジスタ動作の複合動作によって動作し、

該半導体基板内に形成され、PNP型バイポーラトランジスタのエミッタ又はコレクタとして機能し得るP型の深いウェル領域と、

該P型の深いウェル領域内に形成され、該PNP型バイポーラトランジスタのベースとして機能し得るN型の浅いウェル領域と、

該N型の浅いウェル領域内に形成され、該PNP型バイ

5

ポーラトランジスタのコレクタ又はエミッタとして機能し得るP型のソース領域及びドレイン領域と、該P型のソース領域及び該ドレイン領域の間に形成されたチャンネル領域と、

該チャンネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたP型のゲート電極と、を備え、

該N型のゲート電極は、他のMOS型トランジスタのソース／ドレイン領域を介して、該P型の浅いウェル領域に電気的に接続されており、該N型のドレイン領域は、該他のMOS型トランジスタのゲート電極に電気的に接続されており、該P型のゲート電極は、更に他のMOS型トランジスタのソース／ドレイン領域を介して、該N型の浅いウェル領域に電気的に接続され、該P型のドレイン領域は、該更に他のMOS型トランジスタのゲート電極に電気的に接続され、

該深いN型のウェル領域を含み、該N型のウェル領域よりも更に深いP型のウェルと、該深いP型のウェル領域を含み、該P型のウェル領域よりも更に深いN型のウェル領域を備えており、該N型の深いウェル領域と該P型の更に深いウェル領域とは、同電位に固定され、該P型の深いウェル領域と該N型の更に深いウェル領域とが同電位に固定されている半導体装置。

【請求項16】 前記ソース領域及びドレイン領域と前記浅いウェル領域との接合部に窒素イオンまたは炭素イオンがドーパされている請求項1～6、9～10、13～15の何れかに記載の半導体装置。

【請求項17】 請求項1～6、9～10、13～15の何れかに記載の半導体装置で構成された回路ブロックと、電源電圧供給源との間に電源電圧遮断回路を備え、該回路ブロックがスタンバイ状態のとき、電源電圧の供給を遮断する半導体装置。

【請求項18】 請求項1～6、9～10、13～15の何れかに記載の半導体装置で構成された回路ブロックと電源電圧供給源との間、並びに該回路ブロックと接地電圧供給源との間に遮断回路を備え、該回路ブロックがスタンバイ状態のとき、電源電圧の供給および接地電圧の供給を遮断する半導体装置。

【請求項19】 半導体基板と、該半導体基板内に形成された第1導電型の深いウェル領域と、該深いウェル領域内に形成された複数の第2導電型の浅いウェル領域と、該複数の浅いウェル領域内にそれぞれ形成された第1導電型のソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の間に形成されたチャンネル領域と、該チャンネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備え、該ゲート電極が対応する該浅いウェル領域と電気的に接続されており、また、該浅いウェル領域が隣接する他の浅いウェル領域から電気的に分離されている半導体装置の製造方法であって、

6

該浅いウェル領域を形成する前に、該浅いウェル領域を相互に分離する溝型分離構造及びフィールド酸化膜を形成する工程と、を包含した半導体装置の製造方法。

【請求項20】 半導体基板と、該半導体基板に形成された複数のトランジスタ素子と、該複数のトランジスタ素子を分離する溝型素子分離構造を有する半導体装置であって、

該溝型素子分離構造は、該半導体基板に形成された溝と、該溝の内壁に形成された絶縁層と、該溝の内部に埋め込まれたシリコンとを有しており、

該溝の開口部のエッジにおいてバースピークを持つフィールド酸化膜が該溝の上部に形成されている、半導体装置。

【請求項21】 前記半導体基板は、第1導電型の第1半導体層と、該第1半導体層よりも下方に位置する第2導電型の第2半導体層とを含んでおり、前記溝の底部は、該半導体基板の表面から該第2半導体層の途中にまで達しており、

該溝の底部近傍には、第2導電型不純物が他の部分よりも高濃度に拡散された高濃度領域が形成されている請求項20に記載の半導体装置。

【請求項22】 前記高濃度領域における前記第2導電型不純物の濃度が、 $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ の範囲内にある、請求項21に記載の半導体装置。

【請求項23】 半導体基板に形成された複数のトランジスタ素子と、該複数のトランジスタ素子を分離する素子分離構造を有する半導体装置の製造方法であって、該半導体基板に溝を形成する工程と、

該溝の内壁に絶縁層を形成する工程と、

該溝内に多結晶シリコンを埋め込む工程と、

素子領域を選択的に覆う耐酸化マスクを形成する工程と、

該溝内に埋め込まれたシリコンの表面と該半導体基板の露出表面とを同時に酸化して、溝及びフィールド酸化膜を含む素子分離構造を形成する工程と、を包含する半導体装置の製造方法。

【請求項24】 前記溝を形成する工程は、前記半導体基板上に第1のシリコン酸化膜を形成する工程と、

該シリコン酸化膜上に第1のシリコン窒化膜を堆積する工程と、

該溝を形成すべき領域に位置する第1のシリコン窒化膜、第1のシリコン酸化膜、及び半導体基板を順次エッチングし、該溝を形成する工程と、を含んでいる、請求項23に記載の半導体装置の製造方法。

【請求項25】 前記溝の内壁に絶縁層を形成する工程は、第2のシリコン酸化膜を該溝の内壁に形成する工程を含む、請求項24に記載の半導体装置の製造方法。

【請求項26】 前記溝内に多結晶シリコンを埋め込む

工程は、

該溝を埋めるように多結晶シリコン膜を堆積する工程と、該多結晶シリコン膜をエッチバックする工程を含んでいる、請求項25に記載の半導体装置の製造方法。

【請求項27】 前記耐酸化マスクを形成する工程は、前記半導体基板のフィールド領域に位置する前記第1のシリコン窒化膜を選択的に除去することによって、該第1のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む、請求項26に記載の半導体装置の製造方法。

【請求項28】 前記耐酸化マスクを形成する工程は、前記溝内に多結晶シリコンを埋め込む工程の後に、第2のシリコン窒化膜を堆積する工程と、前記半導体基板のフィールド領域に位置する該第1及び第2のシリコン窒化膜を選択的に除去することによって、該第1及び第2のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む、請求項24に記載の半導体装置の製造方法。

【請求項29】 前記素子分離構造を形成する工程においては、前記熱酸化によって、前記第2のシリコン窒化膜が第3の酸化膜に変化させられる、請求項28に記載の半導体装置の製造方法。

【請求項30】 前記溝を形成する工程は、前記半導体基板上に第1のシリコン酸化膜を形成する工程と、該シリコン酸化膜上に第1のシリコン窒化膜を堆積する工程と、

該第1のシリコン窒化膜上に第2のシリコン酸化膜を堆積する工程と、該溝を形成すべき領域に位置する、第2のシリコン酸化膜、第1のシリコン窒化膜、第1のシリコン酸化膜、及び半導体基板を順次エッチングする工程とを含んでいる、請求項23に記載の半導体装置の製造方法。

【請求項31】 前記耐酸化マスクを形成する工程は、前記第2のシリコン酸化膜を除去する工程と、前記半導体基板のフィールド領域に位置する前記第1のシリコン窒化膜を選択的に除去することによって、該第1のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む、請求項30に記載の半導体装置の製造方法。

【請求項32】 前記耐酸化マスクを形成する工程は、前記第2のシリコン酸化膜を除去する工程と、第2のシリコン窒化膜を堆積する工程と、前記半導体基板のフィールド領域に位置する該第1及び第2のシリコン窒化膜を選択的に除去することによって、該第1及び第2のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む、請求項30に記載の半導体装置の製造方法。

【請求項33】 前記耐酸化マスクを形成する工程は、前記半導体基板のフィールド領域に位置する前記第2の

シリコン酸化膜及び前記第1シリコン窒化膜を選択的に除去することによって、該第2のシリコン酸化膜及び該第1のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む、請求項30に記載の半導体装置の製造方法。

【請求項34】 前記耐酸化マスクを形成する工程は、前記溝内に多結晶シリコンを埋め込む工程の後に、第2のシリコン窒化膜を堆積する工程と、前記半導体基板のフィールド領域に位置する該第2のシリコン窒化膜、前記第2のシリコン酸化膜及び前記第1のシリコン窒化膜を選択的に除去することによって、該第2のシリコン窒化膜、該第2のシリコン酸化膜及び該第1のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む、請求項30に記載の半導体装置の製造方法。

【請求項35】 前記第2のシリコン酸化膜の形成後であって、前記溝内に多結晶シリコンを埋め込む工程の前に、前記第1のシリコン窒化膜及び該溝内に形成された該第2のシリコン酸化膜を覆うように、第3のシリコン酸化膜を堆積する工程を包含し、該溝内に多結晶シリコンを埋め込む工程で、該第3のシリコン酸化膜のうち、該溝以外の領域に位置する部分をエッチングする、請求項25に記載の半導体装置の製造方法。

【請求項36】 前記耐酸化マスクを形成する工程は、前記第3のシリコン酸化膜をエッチングする工程の後に、第2のシリコン窒化膜を堆積する工程と、前記半導体基板のフィールド領域に位置する該第1及び第2のシリコン窒化膜を選択的に除去することによって、該第1及び第2のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む、請求項35に記載の半導体装置の製造方法。

【請求項37】 前記素子分離構造を形成する工程においては、前記熱酸化によって、前記第2のシリコン窒化膜が第4の酸化膜に変化させられる、請求項28に記載の半導体装置の製造方法。

【請求項38】 前記第2のシリコン酸化膜の形成後であって、前記溝内に多結晶シリコンを埋め込む工程の前に、前記第1のシリコン窒化膜及び該溝内に形成された該第2のシリコン酸化膜を覆うように、第3のシリコン酸化膜を堆積する工程を包含し、前記耐酸化マスクを形成する工程は、該溝内に多結晶シリコンを埋め込む工程の後であって、前記素子分離構造を形成する工程の前に、該第3のシリコン酸化膜及び該第1のシリコン窒化膜のうち、前記半導体基板のフィールド領域に位置する部分をエッチングする、請求項25に記載の半導体装置の製造方法。

【請求項39】 前記第2のシリコン酸化膜の形成後であって、前記溝内に多結晶シリコンを埋め込む工程の前に、前記第1のシリコン窒化膜及び該溝内に形成された

該第2のシリコン酸化膜を覆うように、第3のシリコン酸化膜を堆積する工程を包含し、

前記耐酸化マスクを形成する工程は、

前記溝内に多結晶シリコンを埋め込む工程の後に、第2のシリコン窒化膜を堆積する工程と、

前記半導体基板のフィールド領域に位置する該2のシリコン窒化膜、該第3のシリコン膜及び該第2のシリコン窒化膜を選択的に除去することによって、該2のシリコン窒化膜、該第3のシリコン膜及び該第2のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む、請求項25に記載の半導体装置の製造方法。

【請求項40】 前記半導体基板に溝を形成する工程と該溝内に多結晶シリコンを埋め込む工程との間に、該溝の底部に不純物イオンを注入する工程を包含する、請求項26に記載の半導体装置の製造方法。

【請求項41】 半導体基板内に形成された第1導電型の深いウェル領域と、

該深いウェル領域内に形成された、少なくとも一つの第2導電型の浅いウェル領域と、

該浅いウェル領域内に形成された第1導電型のソース領域及びドレイン領域と、

該ソース領域及び該ドレイン領域の間に形成されたチャネル領域と、

該チャネル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成されたゲート電極と、を備えた電界効果トランジスタ素子であって、

該ゲート電極が該浅いウェル領域と電気的に接続されている電界効果型トランジスタ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、しきい値を動的に変化させることによって低い電源電圧で動作するトランジスタ素子及びそのトランジスタ素子を含む半導体装置、ならびにその製造方法に関する。また、本発明は、該トランジスタ素子のためのコンタクト形成技術、および該トランジスタ素子の集積化に適した素子分離技術にも関連する。

【0002】

【従来の技術】異なる導電型のMOS型トランジスタを相補的に接続した回路(CMOS回路)の消費電力は、電源電圧の2乗に比例する。このため、CMOS回路によって形成された大規模集積回路(LSI)の消費電力を低下するには、電源電圧を低減することが有効である。しかし、電源電圧を低減すると、トランジスタの駆動力が減少するため、回路の遅延時間の増加が問題となる。この問題は電源電圧が低減されるに伴って大きくなる。特に、電源電圧がしきい値電圧の3倍の大きさ($3 \times V_{th}$)より低下すると、遅延時間の増加が著しくなることが知られている。

【0003】これを改善する一つの方法として、ラン

ジスタのしきい値電圧を低く設定することが考えられる。しかし、しきい値を低くするとゲートオフ時のリーク電流が増大するという問題がある。このため、許容できるオフ電流(リーク電流)の大きさによって、しきい値電圧の下限が規定されてしまう。

【0004】この問題を緩和するために、低電源電圧対応のトランジスタとして、ゲートオン時にしきい値電圧を実効的に低下させるダイナミックしきい値動作トランジスタが提案されている(A Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra-Low Voltage Operation, F.Assaderaghi et al, IEDM94 Ext. Abst. pp.809)。

【0005】このようなトランジスタの従来の構造を図54に示す。図54には、Nチャネル型のMOS型トランジスタ(NMOS)を示しているが、極性を対称にすることによって、Pチャネル型のMOS型トランジスタ(PMOS)を構成することも可能である。このトランジスタは、SOI基板を用いており、オーバーサイズの金属配線を用いて、ゲート電極と基板(シリコン層部分)とを局所配線で短絡している。このようなゲート電極と基板とが短絡された構造では、ゲート電極にバイアス(ゲートバイアス)が印可されると、基板の活性領域にゲートバイアスと同じ大きさの順方向バイアスが印可される。

【0006】ただし、このような構造でスタンバイ電流を抑制するためには、ゲート電極に印可する電圧を、横方向の寄生バイポーラトランジスタがオンする電圧である0.6V以下に制限する必要がある。こうすれば、ゲートオフ時には、通常のトランジスタと同様のバイアス状態が形成され、ゲートオン時には、ゲートバイアスが

増大するに連れて基板が順方向にバイアスされることになる。その結果、ゲートオン時にはしきい値が低下する。

【0007】これによって、同じチャネル状態の通常のSOIトランジスタに比べて、ゲート=基板バイアスオフ時のリーク電流は同等である。トランジスタがオンしている時には、ゲート=基板バイアスが增大するに伴って更にしきい値電圧が減少する。このため、ゲートオーバードライブ効果が増大し、駆動力が著しく増大する。基板表面における縦方向電界の抑制によって移動度劣化が抑制されることも、駆動力の増大に寄与する。また、横方向の寄生バイポーラはオフしているため、スタンバイ電流の著しい増大は抑制される。

【0008】

【発明が解決しようとする課題】上記従来技術はSOI基板を用いているため、活性層基板が電気的に完全に絶縁されている。このため、バルク基板上に形成されたデバイスに比べて、チャネル内で発生したホール(PMOSの場合は電子)が蓄積されやすい。これにより基板浮遊効果によるドレイン電流のキンク発生や特性履歴効果が問題になる。また、同じく活性層基板が電気的に絶縁

11

されていることにより、製造工程中に生じるチャージアップやESD（静電損傷）も問題になる。さらに、SOIに現状で最も結晶性の良好な基板が得られているSIMOX基板を用いた場合、埋め込み酸化膜/基板界面はチャンネル側のゲート酸化膜/基板界面に比べて界面の結合状態の乱れが大きいため、裏面界面へのキャリア注入、捕獲による特性劣化が問題になる。更に、SOI基板では、ボディーの膜厚（チャンネル領域）が非常に薄く（50nm～200nm）非常に高抵抗となる。このため、ゲートとボディーをコンタクトを介して短絡しようともコンタクトから離れるに従ってボディーに電位が伝わりにくく、DTMOSとしての効果が抑制される。

【0009】

【課題を解決するための手段】本発明の半導体装置は、半導体基板と、該半導体基板内に形成された第1導電型の深いウェル領域と、該深いウェル領域内に形成された、複数の第2導電型の浅いウェル領域と、該複数の浅いウェル領域内にそれぞれ形成された第1導電型のソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の間に形成されたチャンネル領域と、該チャンネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備えた半導体装置であって、該ゲート電極が対応する該浅いウェル領域と電気的に接続されており、該浅いウェル領域は、隣接する他の浅いウェル領域から電気的に分離されており、そのことにより上記目的が達成される。

【0010】本発明の他の半導体装置は、半導体基板と、該半導体基板内に形成され、バイポーラトランジスタのエミッタ又はコレクタとして機能し得る第1導電型の深いウェル領域と、該深いウェル領域内に形成され、該バイポーラトランジスタのベースとして機能し得る第2導電型の浅いウェル領域と、該浅いウェル領域内に形成され、該バイポーラトランジスタのコレクタ又はエミッタとして機能し得る第1導電型のソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の間に形成されたチャンネル領域と、該チャンネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備え、該ゲート電極は該浅いウェル領域と電気的に接続され、MOS型トランジスタ動作及びバイポーラトランジスタ動作の複合動作によって動作し、そのことにより上記目的が達成される。

【0011】好ましい実施形態では、隣接する浅いウェル領域は、該浅いウェル領域よりも深く、前記深いウェル領域よりも浅い溝型素子分離構造によって電気的に分離されている。

【0012】好ましい実施形態では、前記溝型素子分離構造に囲まれた領域の一部を覆うようにフィールド酸化膜が形成されており、前記ゲート電極と前記浅いウェル領域とを電気的に接続するためのコンタクト領域が、該フィールド酸化膜によって囲まれている。

12

【0013】好ましい実施形態では、前記ゲート電極は、前記ゲート絶縁膜上に形成された多結晶シリコン膜と、該多結晶シリコン膜上に形成された金属シリサイド膜とを含んでおり、該金属シリサイド膜は、該浅いウェル領域のコンタクト部を介して、該浅いウェル領域に電気的に接続されており、該コンタクト部には、該浅いウェル領域の導電型と同じ導電型の不純物が該浅いウェル領域の他の部分の不純物濃度よりも高い不純物濃度で拡散された高濃度不純物拡散領域が形成されており、該高濃度不純物拡散領域を介して該金属シリサイド膜と該浅いウェル領域とがオーミック接触している。

【0014】好ましい実施形態では、前記半導体基板に設けられた層間絶縁膜と、該層間絶縁膜上に設けられた上部配線とを備えており、該層間絶縁膜には、前記ゲート電極及び前記ゲート酸化膜を貫通して前記浅いウェル領域のコンタクト部に達するコンタクト孔が形成されており、該コンタクト部には、該浅いウェル領域の導電型と同じ導電型の不純物が該浅いウェル領域の他の部分の不純物濃度よりも高い不純物濃度で拡散された高濃度不純物拡散領域が形成されており、該コンタクト孔の底部において、該高濃度不純物拡散領域を介して該上部配線と該浅いウェル領域とがオーミック接続され、該コンタクト孔の側壁部において、該ゲート電極と該上部配線とがオーミック接続されている。

【0015】本発明の半導体装置の製造方法は、半導体基板と、該半導体基板内に形成された第1導電型の深いウェル領域と、該深いウェル領域内に形成された、複数の第2導電型の浅いウェル領域と、該複数の浅いウェル領域内にそれぞれ形成された第1導電型のソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の間に形成されたチャンネル領域と、該チャンネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備え、該ゲート電極が対応する該浅いウェル領域と電気的に接続されており、該浅いウェル領域が隣接する他の浅いウェル領域から電気的に分離されている半導体装置の製造方法であって、該ゲート電極の側壁にサイドウォール Spacer を形成する工程と、該浅いウェル領域と該ゲート電極とを接続するコンタクト領域において、該浅いウェル領域の表面を部分的に露出させるコンタクト孔を、該ゲート電極中に形成する工程と、該ゲート電極、及び該コンタクト孔によって部分的に露出している該浅いウェル領域の該コンタクト領域を覆うように、高融点金属膜を堆積する工程と、該高融点金属膜の一部をシリサイド化し、該ゲート電極及び該コンタクト領域に、自己整合的に、高融点金属シリサイド膜を形成する工程とを包含し、そのことにより上記目的が達成される。

【0016】好ましい実施形態では、高融点金属シリサイド膜を形成する工程の前又は後に、イオン注入法により、前記浅いウェル領域の導電型と同じ導電型の不純物

13

イオンを、前記コンタクト孔を通して、前記ウェル領域に注入し、それによって、高濃度拡散層を形成する工程を包含する。

【0017】本発明の他の半導体装置は、半導体基板と、該半導体基板内に形成された深いn型ウェル領域と、該半導体基板内に形成された深いp型ウェル領域と、該深いnウェル領域内に形成された、浅いp型ウェル領域と、該深いpウェル領域内に形成された、浅いn型ウェル領域と、該浅いp型ウェル領域に形成されたnチャネル型のMOS型トランジスタと、該浅いn型ウェル領域に形成されたpチャネル型のMOS型トランジスタとを備えた半導体装置であって、該nチャネル型のMOS型トランジスタは、該浅いp型ウェル領域内に形成されたn型ソース領域及びドレイン領域と、該n型ソース領域及びドレイン領域の間に形成されたチャネル領域と、該チャネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたn型ゲート電極とを備え、該pチャネル型のMOS型トランジスタは、該浅いn型ウェル領域内に形成されたp型ソース領域及びドレイン領域と、該p型ソース領域及びドレイン領域の間に形成されたチャネル領域と、該チャネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたp型ゲート電極とを備え、該nゲート電極は該浅いpウェル領域と電氣的に接続されており、該p型ゲート電極は該浅いn型ウェル領域と電氣的に接続されており、そのことにより上記目的が達成される。

【0018】好ましい実施形態では、前記深いp型ウェル領域をとり囲み、該深いp型ウェル領域よりも更に深い第2のn型ウェル領域と、前記深いn型ウェル領域をとり囲み、該深いn型ウェル領域よりも更に深い第2のp型ウェル領域と、該第2のn型ウェル領域と該第2のp型ウェル領域とを分離する溝型分離構造とを備えている。

【0019】好ましい実施形態では、動作時において、前記浅いウェル領域と前記ソース領域との間に形成される電位差、及び該浅いウェル領域と前記ドレイン領域との間に形成される電位差は、何れも、該半導体装置内のpn接合のビルトインポテンシャルよりも小さく設定される。

【0020】本発明の他の半導体装置の製造方法は、上記半導体装置を製造する方法であって、前記n型及びp型ゲート電極の側壁にサイドウォールスペーサを形成する工程と、該浅いp型ウェル領域と該nゲート電極とを接続する第1コンタクト領域において、該浅いp型ウェル領域の表面を部分的に露出させる第1コンタクト孔を、該nゲート電極中に形成し、該浅いnウェル領域と該pゲート電極とを接続する第2コンタクト領域において、該浅いnウェル領域の表面を部分的に露出させる第2コンタクト孔を、該pゲート電極中に形成する工程と、該n型及びp型ゲート電極、ならびに該浅いp型及

14

びn型ウェル領域の該第1及び第2コンタクト領域を覆うように、高融点金属膜を堆積する工程と、該高融点金属膜の一部をシリサイド化し、該n型及びp型ゲート電極ならびに該第1及び第2コンタクト領域に、自己整合的に、高融点金属シリサイド膜を形成する工程とを包含し、前記p型ソース領域及びドレイン領域を形成するためのp型不純物イオンを注入するに際して、該p型不純物イオンを該第1コンタクト領域にも注入し、前記n型ソース領域及びドレイン領域を形成するためのn型不純物イオンを注入するに際して、該n型不純物イオンを該第2コンタクト領域にも注入する。

【0021】好ましい実施形態では、前記ゲート電極は、他のMOS型トランジスタのソース領域とドレイン領域とを介して、前記浅いウェル領域に電氣的に接続されており、該他のMOS型トランジスタのゲート電極には一定電圧が印可されている。

【0022】好ましい実施形態では、前記ゲート電極は、他のMOS型トランジスタのソース/ドレイン領域を介して、前記浅いウェル領域に電氣的に接続されており、前記ドレイン領域は、該他のMOS型トランジスタのゲート電極に接続されている。

【0023】本発明の更に他の半導体装置は、半導体基板と、該半導体基板内に形成され、NPN型バイポーラトランジスタのエミッタ又はコレクタとして機能し得るN型の深いウェル領域と、該N型の深いウェル領域内に形成され、該NPN型バイポーラトランジスタのベースとして機能し得るP型の浅いウェル領域と、該P型の浅いウェル領域内に形成され、該NPN型バイポーラトランジスタのコレクタ又はエミッタとして機能し得るN型のソース領域及びドレイン領域と、該N型のソース領域及び該ドレイン領域の間に形成されたチャネル領域と、該チャネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたN型のゲート電極とを備え、該N型のゲート電極は該P型の浅いウェル領域と電氣的に接続され、MOS型トランジスタ動作及びバイポーラトランジスタ動作の複合動作によって動作し、該半導体基板内に形成され、PNP型バイポーラトランジスタのエミッタ又はコレクタとして機能し得るP型の深いウェル領域と、該P型の深いウェル領域内に形成され、該PNP型バイポーラトランジスタのベースとして機能し得るN型の浅いウェル領域と、該N型の浅いウェル領域内に形成され、該PNP型バイポーラトランジスタのコレクタ又はエミッタとして機能し得るP型のソース領域及びドレイン領域と、該P型のソース領域及び該ドレイン領域の間に形成されたチャネル領域と、該チャネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたP型のゲート電極とを備え、該N型のゲート電極は、他のMOS型トランジスタのソース/ドレイン領域を介して、該P型の浅いウェル領域に電氣的に接続されており、該N型のドレイン領域は、該他のMOS型トラ

15

ンジスタのゲート電極に電氣的に接続されており、該P型のゲート電極は、更に他のMOS型トランジスタのソース/ドレイン領域を介して、該N型の浅いウェル領域に電氣的に接続され、該P型のドレイン領域は、該更に他のMOS型トランジスタのゲート電極に電氣的に接続され、該深いN型のウェル領域を含み、該N型のウェル領域よりも更に深いP型のウェルと、該深いP型のウェル領域を含み、該P型のウェル領域よりも更に深いN型のウェル領域を備えており、該N型の深いウェル領域と該P型の更に深いウェル領域とは、同電位に固定され、該P型の深いウェル領域と該N型の更に深いウェル領域とは、同電位に固定され、そのことにより上記目的が達成される。

【0024】ある実施形態では、前記ソース領域及びドレイン領域と前記浅いウェル領域との接合部に窒素イオンまたは炭素イオンがドーパされている。

【0025】ある実施形態では、上記半導体装置で構成された回路ブロックと、電源電圧供給源との間に電源電圧遮断回路を備え、該回路ブロックがスタンバイ状態のとき、電源電圧の供給を遮断する。

【0026】ある実施形態では、上記半導体装置で構成された回路ブロックと電源電圧供給源との間、並びに該回路ブロックと接地電圧供給源との間に遮断回路を備え、該回路ブロックがスタンバイ状態のとき、電源電圧の供給および接地電圧の供給を遮断する。

【0027】本発明の更に他の半導体装置の製造方法は、半導体基板と、該半導体基板内に形成された第1導電型の深いウェル領域と、該深いウェル領域内に形成された複数の第2導電型の浅いウェル領域と、該複数の浅いウェル領域内にそれぞれ形成された第1導電型のソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の間に形成されたチャネル領域と、該チャネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備え、該ゲート電極が対応する該浅いウェル領域と電氣的に接続されており、また、該浅いウェル領域が隣接する他の浅いウェル領域から電氣的に分離されている半導体装置の製造方法であって、該浅いウェル領域を形成する前に、該浅いウェル領域を相互に分離する溝型分離構造及びフィールド酸化膜を形成する工程と、を包含し、そのことにより上記目的が達成される。

【0028】本発明の更に他の半導体装置は、半導体基板と、該半導体基板に形成された複数のトランジスタ素子と、該複数のトランジスタ素子を分離する溝型素子分離構造を有する半導体装置であって、該溝型素子分離構造は、該半導体基板に形成された溝と、該溝の内壁に形成された絶縁層と、該溝の内部に埋め込まれたシリコンとを有しており、該溝の開口部のエッジにおいてバースビークを持つフィールド酸化膜が該溝の上部に形成されている。

16

【0029】好ましい実施形態では、前記半導体基板は、第1導電型の第1半導体層と、該第1半導体層よりも下方に位置する第2導電型の第2半導体層とを含んでおり、前記溝の底部は、該半導体基板の表面から該第2半導体層の途中にまで達しており、該溝の底部近傍には、第2導電型不純物が他の部分よりも高濃度に拡散された高濃度領域が形成されている。

【0030】好ましい実施形態では、前記高濃度領域における前記第2導電型不純物の濃度が、 $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ の範囲内にある。

【0031】本発明の更に他の半導体装置の製造方法は、半導体基板に形成された複数のトランジスタ素子と、該複数のトランジスタ素子を分離する素子分離構造を有する半導体装置の製造方法であって、該半導体基板に溝を形成する工程と、該溝の内壁に絶縁層を形成する工程と、該溝内に多結晶シリコンを埋め込む工程と、素子領域を選択的に覆う耐酸化マスクを形成する工程と、該溝内に埋め込まれたシリコンの表面と該半導体基板の露出表面とを同時に酸化して、溝及びフィールド酸化膜を含む素子分離構造を形成する工程とを包含し、そのことにより上記目的が達成される。

【0032】好ましい実施形態では、前記溝を形成する工程は、前記半導体基板上に第1のシリコン酸化膜を形成する工程と、該シリコン酸化膜上に第1のシリコン窒化膜を堆積する工程と、該溝を形成すべき領域に位置する第1のシリコン窒化膜、第1のシリコン酸化膜、及び半導体基板を順次エッチングし、該溝を形成する工程とを含んでいる。

【0033】好ましい実施形態では、前記溝の内壁に絶縁層を形成する工程は、第2のシリコン酸化膜を該溝の内壁に形成する工程を含む。

【0034】好ましい実施形態では、前記溝内に多結晶シリコンを埋め込む工程は、該溝を埋めるように多結晶シリコン膜を堆積する工程と、該多結晶シリコン膜をエッチバックする工程を含んでいる。

【0035】好ましい実施形態では、前記耐酸化マスクを形成する工程は、前記半導体基板のフィールド領域に位置する前記第1のシリコン窒化膜を選択的に除去することによって、該第1のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む。

【0036】好ましい実施形態では、前記耐酸化マスクを形成する工程は、前記溝内に多結晶シリコンを埋め込む工程の後に、第2のシリコン窒化膜を堆積する工程と、前記半導体基板のフィールド領域に位置する該第1及び第2のシリコン窒化膜を選択的に除去することによって、該第1及び第2のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む。

【0037】好ましい実施形態では、前記素子分離構造を形成する工程においては、前記熱酸化によって、前記第2のシリコン窒化膜が第3の酸化膜に変化させられ

る。

【0038】好ましい実施形態では、前記溝を形成する工程は、前記半導体基板上に第1のシリコン酸化膜を形成する工程と、該シリコン酸化膜上に第1のシリコン窒化膜を堆積する工程と、該第1のシリコン窒化膜上に第2のシリコン酸化膜を堆積する工程と、該溝を形成すべき領域に位置する、第2のシリコン酸化膜、第1のシリコン窒化膜、第1のシリコン酸化膜、及び半導体基板を順次エッチングする工程とを含んでいる。

【0039】ある実施形態では、前記耐酸化マスクを形成する工程は、前記第2のシリコン酸化を除去する工程と、前記半導体基板のフィールド領域に位置する前記第1のシリコン窒化膜を選択的に除去することによって、該第1のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む。

【0040】ある実施形態では、前記耐酸化マスクを形成する工程は、前記第2のシリコン酸化膜を除去する工程と、第2のシリコン窒化膜を堆積する工程と、前記半導体基板のフィールド領域に位置する該第1及び第2のシリコン窒化膜を選択的に除去することによって、該第1及び第2のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む。

【0041】ある実施形態では、前記耐酸化マスクを形成する工程は、前記半導体基板のフィールド領域に位置する前記第2のシリコン酸化膜及び前記第1シリコン窒化膜を選択的に除去することによって、該第2のシリコン酸化膜及び該第1のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む。

【0042】ある実施形態では、前記耐酸化マスクを形成する工程は、前記溝内に多結晶シリコンを埋め込む工程の後に、第2のシリコン窒化膜を堆積する工程と、前記半導体基板のフィールド領域に位置する該第2のシリコン窒化膜、前記第2のシリコン酸化膜及び前記第1のシリコン窒化膜を選択的に除去することによって、該第2のシリコン窒化膜、該第2のシリコン酸化膜及び該第1のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む。

【0043】ある実施形態では、前記第2のシリコン酸化膜の形成後であって、前記溝内に多結晶シリコンを埋め込む工程の前に、前記第1のシリコン窒化膜及び該溝内に形成された該第2のシリコン酸化膜を覆うように、第3のシリコン酸化膜を堆積する工程を包含し、該溝内に多結晶シリコンを埋め込む工程で、該第3のシリコン酸化膜のうち、該溝以外の領域に位置する部分をエッチングする。

【0044】ある実施形態では、前記耐酸化マスクを形成する工程は、前記第3のシリコン酸化膜をエッチングする工程の後に、第2のシリコン窒化膜を堆積する工程と、前記半導体基板のフィールド領域に位置する該第1及び第2のシリコン窒化膜を選択的に除去することによ

って、該第1及び第2のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む。

【0045】ある実施形態では、前記素子分離構造を形成する工程においては、前記熱酸化によって、前記第2のシリコン窒化膜が第4の酸化膜に変化させられる。

【0046】ある実施形態では、前記第2のシリコン酸化膜の形成後であって、前記溝内に多結晶シリコンを埋め込む工程の前に、前記第1のシリコン窒化膜及び該溝内に形成された該第2のシリコン酸化膜を覆うように、第3のシリコン酸化膜を堆積する工程を包含し、前記耐酸化マスクを形成する工程は、該溝内に多結晶シリコンを埋め込む工程の後であって、前記素子分離構造を形成する工程の前に、該第3のシリコン酸化膜及び該第1のシリコン窒化膜のうち、前記半導体基板のフィールド領域に位置する部分をエッチングする。

【0047】ある実施形態では、前記第2のシリコン酸化膜の形成後であって、前記溝内に多結晶シリコンを埋め込む工程の前に、前記第1のシリコン窒化膜及び該溝内に形成された該第2のシリコン酸化膜を覆うように、第3のシリコン酸化膜を堆積する工程を包含し、前記耐酸化マスクを形成する工程は、前記溝内に多結晶シリコンを埋め込む工程の後に、第2のシリコン窒化膜を堆積する工程と、前記半導体基板のフィールド領域に位置する該2のシリコン窒化膜、該第3のシリコン膜及び該第2のシリコン窒化膜を選択的に除去することによって、該2のシリコン窒化膜、該第3のシリコン膜及び該第2のシリコン窒化膜の残された部分から該耐酸化マスクを形成する工程を含む。

【0048】好ましい実施形態では、前記半導体基板に溝を形成する工程と該溝内に多結晶シリコンを埋め込む工程との間に、該溝の底部に不純物イオンを注入する工程を包含する。

【0049】本発明の電界効果型トランジスタ素子は、半導体基板内に形成された第1導電型の深いウェル領域と、該深いウェル領域内に形成された、少なくとも一つの第2導電型の浅いウェル領域と、該浅いウェル領域内に形成された第1導電型のソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の間に形成されたチャネル領域と、該チャネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備えた電界効果トランジスタ素子であって、該ゲート電極が該浅いウェル領域と電気的に接続され、そのことにより上記目的が達成される。

【0050】

【発明の実施の形態】本願発明は、ゲート電位に応じてトランジスタのしきい値 V_t を動的に変化させるために、浅いウェル領域を形成し、その浅いウェル領域とゲート電極とを電気的に接続する点に最も大きな特徴を持つ。

【0051】一般に、ゲート電極の材料として不純物が

19

ドーパされた多結晶シリコンを用いる場合、その不純物の導電型は、浅いウェル領域にドーパされている不純物の導電型とは反対の関係にある。このため、本発明の実現には、ゲート電極と浅いウェル領域との間に低抵抗オーミックコンタクトを形成する技術が必要となる。本願発明では、主にシリサイドを用いることによって、このようなコンタクトを形成している。

【0052】また、ある時刻においてゲート電極に異なる電圧が印加され得るべき関係にある複数のトランジスタ素子を考える場合、それらのトランジスタ素子の浅いウェル領域は、相互に電氣的に分離されている必要がある。典型的には、一つのトランジスタ素子に一つの浅いウェル領域を割り当て、それらの浅いウェル領域を分離する。このため、本願発明のトランジスタ素子を高い密度で集積化するには、隣接する浅いウェル領域を効率的に分離する技術が必要となる。本願発明では、浅いウェル領域をトレンチ分離構造によって分離する。

【0053】なお、本願明細書において、「浅いウェル領域」とは、その中にソース領域／ドレイン領域が形成され、しかも、ゲート電極と電氣的に接続されたウェル領域のことを呼ぶ。これに対して、「深いウェル領域」とは、「浅いウェル領域」のpn接合よりも深い位置にpn接合を持つウェル領域であって、浅いウェル領域とは逆の導電型を持ち、少なくとも一つの浅いウェル領域を内部に有するウェル領域を呼ぶ。

【0054】(実施例1) 図1(a)から(d)を参照しながら、本発明の半導体装置の第1の実施例(LOC OS分離構造を持つ例)を説明する。図1(a)は、本実施例の平面図、図1(b)、(c)および(d)は、それぞれ、図1(a)のb-b'線断面図、c-c'線断面図およびd-d'線断面図である。

【0055】本実施例の半導体装置では、半導体基板1*

$$V_{th} = 2\phi_b + \frac{2qN_{s-well} \epsilon_s (2\phi_b - V_{s-well})}{C_{ox}} + V_{FB} \quad \text{--- (1)}$$

【0061】ここで、 ϕ_b はフェルミポテンシャル、 N_{s-well} は浅いウェル領域の不純物濃度、 ϵ_s は浅いウェル領域の誘電率、 q は電子の電荷量、 C_{ox} は単位面積当たりのゲート絶縁膜容量、 V_{FB} はフラットバンド電圧である。浅いウェル領域が順方向にバイアスされた場合、上記式(1)より、しきい値電圧の絶対値が小さくなる事がわかる。

【0062】簡略化した駆動電流の式は、線形領域では、以下の式(2)で示される。

$$I_D = \frac{W}{L} \mu_{eff} C_{ox} (V_G - V_{th})^2 \quad \text{--- (2)}$$

【0066】ここで、 I_D はドレイン電流、 W はゲート幅、 L はゲート長、 μ_{eff} は実効移動度、 V_G はゲート電圧である。

20

*01内に「深いウェル領域102」が設けられており、その深いウェル領域102内に「浅いウェル領域103」が設けられている。浅いウェル領域103の導電型は、深いウェル領域の導電型と反対であり、半導体基板101の導電型と同じである。

【0056】本実施例では、本発明に係るMOS型トランジスタが上記浅いウェル領域103に形成されている。より詳細には、このMOS型トランジスタは、浅いウェル領域内に形成されたソース領域／ドレイン領域107と、ソース領域／ドレイン領域107間に形成されたチャンネル領域と、チャンネル領域を覆うゲート絶縁膜105と、ゲート絶縁膜105上に形成されたゲート電極106とを備えている。ゲート電極106の一部は、ゲート絶縁膜105に形成されたコンタクト孔108を介して、浅いウェル領域103に電氣的に接続されている。

【0057】図では、簡単のため、ひとつのMOS型トランジスタが示されているが、実際には、ひとつの半導体基板101内に複数のMOS型トランジスタが形成されている。図示されている浅いウェル領域103は、素子分離用酸化膜104によって、隣接する他のMOS型トランジスタの浅いウェル領域(不図示)と電氣的に分離されている。

【0058】上記構造により、SOI(Silicon On Insulator)基板を用いることなく可変しきい値型のトランジスタを実現することが可能となる。

【0059】ここで、MOS型トランジスタの反転しきい値電圧 V_{th} (以下、「しきい値」と略記する場合がある)と浅いウェル領域のバイアス(V_{s-well})との関係を簡略化した式で表すと、以下の式(1)で示される。

【0060】

【数1】

※【0063】

【数2】

$$I_D = \frac{W}{L} \mu_{eff} C_{ox} [(V_G - V_{th}) V_D - \frac{1}{2} V_D^2] \quad \text{--- (2)}$$

【0064】また、飽和領域では、以下の式(3)で示される。

【0065】

【数3】

$$\text{--- (3)}$$

★【0067】図3のグラフは、浅いウェル領域の電位を変化させた時のゲート電圧とドレイン電流の関係を示す。ここで、「ゲート電圧」とは、ソース領域の電位に

★50

21

対するゲート電極の電位を指すものとする。

【0068】駆動電流が式(2)及び(3)のように表されるため、しきい値電圧(V_{th})の絶対値が小さくなると、飛躍的に低い電源電圧で大きな駆動電流を得ることが可能となる。

【0069】本構造では、ゲート電極と浅いウェル領域が接続されているため、ゲート電位が変位するに従って浅いウェル領域の電位が変位する。このため、上記式からも明かなように、ゲート電位が増加するとともに、浅いウェル領域がソース領域/ドレイン領域に対して順方向にバイアスされ、見かけ上のしきい値電圧が低下する。その結果、低い電源電圧でも大きな駆動電流を得ることが可能になる。

【0070】このように本構造では、ゲート電位と浅いウェル領域の電位が一致するため、浅いウェル領域とソース領域(及びドレイン領域)との間に形成されるpn接合に順方向バイアスが与えられる。より詳細には、nチャネル型トランジスタの場合、ソース領域の電位はGND電位に等しく、浅いウェル領域の電位はゲート電位に等しくなる。他方、pチャネル型トランジスタの場合、ソース領域の電位は電源電圧に等しく、浅いウェル領域の電位はゲート電位に等しくなる。順方向電流を長さないようにするには、ウェル領域-ソース領域間電圧(またはウェル領域-ドレイン間電圧)をpn接合のビルトインポテンシャル以下に保つ必要がある。これらの電圧がビルトインポテンシャルを越えると、浅いウェル領域とソース領域(またはドレイン領域)との間をpn接合ダイオード順方向電流が流れる。浅いウェル領域の電位をビルトインポテンシャル近傍にまで上げた場合、無視できないレベルのpn接合ダイオード順方向電流が流れるため、ウェル領域の電位をビルトインポテンシャルに対して0.1~0.3V程度低くなるように電源電圧を設定することが望ましい。

【0071】図4は、本構造のトランジスタのゲート電位と駆動電流との関係を示す。この図から、サブスレッショルド領域の曲線の傾きS値(駆動電流を1桁上げるために必要なゲート電位の変位量)が、約60mV/décとなっていることがわかる。本構造によれば、通常の構造を持つトランジスタのS値(80mV/déc~100mV/déc)に比べて、ゲート電位の小さな変化によって大きな駆動電流を得ることができる。

【0072】本実施例では、深いウェル領域の不純物濃度は、 $1 \times 10^{16}/\text{cm}^3 \sim 1 \times 10^{17}/\text{cm}^3$ 程度に設定し、浅いウェル領域の不純物濃度は、 $5 \times 10^{16}/\text{cm}^3 \sim 5 \times 10^{17}/\text{cm}^3$ に設定している。また、浅いウェル領域の深さは、250nm~1000nmに設定している。ソース領域/ドレイン領域の不純物濃度は、約 $1 \times 10^{20}/\text{cm}^3$ 以上に設定し、その接合深さは、50nm~300nmに設定している。トランジスタの短チャネル効果を抑えるためには、出来る限りソース領域

22

/ドレイン領域の接合深さを浅くし、ゲート酸化膜を薄くする方がよい。

【0073】次に、図2(a)から(d)を参照しながら、図1(a)から(d)の実施例の改良例を説明する。この改良例では、半導体基板101'内に「深いウェル領域102'」が設けられており、その深いウェル領域内に「浅いウェル領域103'」が設けられている。浅いウェル領域103'の導電型は、深いウェル領域の導電型と反対であり、半導体基板101'の導電型と同じである。

【0074】より詳細には、このMOS型トランジスタは、浅いウェル領域内に形成されたソース領域/ドレイン領域107'と、ソース領域/ドレイン領域107'間に形成されたチャネル領域と、チャネル領域を覆うゲート絶縁膜105'と、ゲート絶縁膜105'上に形成されたゲート電極106'とを備えている。ゲート電極106'は、ゲート絶縁膜105'に形成されたコンタクト孔108'を介して、浅いウェル領域103'に電気的に接続されている。

【0075】図示されている浅いウェル領域103'は、素子分離用酸化膜104'によって、隣接するMOS型トランジスタの浅いウェル領域(不図示)と電気的に分離されている。

【0076】この改良例では、ゲート電極と浅いウェル領域との間のコンタクトが形成される領域と、ソース領域/ドレイン領域が形成される領域との間にも、素子分離用酸化膜104'が存在している。

【0077】(実施例2)以下に、本発明による半導体装置の第2の実施例を説明する。ここでは、トランジスタの動作に寄生バイポーラトランジスタが寄与している例を説明する。

【0078】図5は、本実施例におけるトランジスタ素子の配線および寄生バイポーラトランジスタを模式的に示す図である。ここでは、nチャネル型MOS型トランジスタと寄生npnトランジスタに関して記述するが、極性を対称(逆)にすることにより、pチャネル型MOS型トランジスタと寄生pnpバイポーラでも等価に考えることが出来る。

【0079】本実施例では、MOS型トランジスタのソース領域はGNDに、ゲート電極は入力 V_{in} に、ドレイン領域は出力 V_{out} に接続されている。浅いウェル領域の電位は V_{s-well} とし、深いウェル領域の電位は V_{d-well} とする。

【0080】本実施例の半導体装置においては、図2に示すように、MOS型トランジスタとは別に、Tr1、Tr2、Tr3で示される3つの寄生バイポーラトランジスタが形成されている。これらの寄生バイポーラトランジスタの動作電流の向きを

【0081】下記

【表1】に示す。

【0082】

* * 【表1】

V_{d-well}	入力前 OUTの 初期値	IN	MOSFETの 電流の向き	Tr1の 電流の向き	Tr2の 電流の向き	Tr3の 電流の向き
VDD	VDD	VDD	←	←○	↑△	↑×
		GND	OFF	OFF	OFF	OFF
	GND	VDD	OFF	OFF	↑△	↑×
		GND	OFF	OFF	OFF	OFF
GND	VDD	VDD	←	←○	OFF	↓○
		GND	OFF	OFF	OFF	OFF
	GND	VDD	OFF	OFF	OFF	OFF
		GND	OFF	OFF	OFF	OFF

【0083】

【表1】における「電流の向き」を示す矢印の方向は、図5の矢印の向きに対

【0084】応している。また、

【表1】の記号○は本実施例のMOS型トランジスタに対して、その動作を助けるように動作する場合を示し、記号△はMOS型トランジスタの動作に無関係なリーク電流を生じさせる場合を示し、記号×はMOS型トランジスタの動作を妨げるように動作する場合を示している。

【0085】例えば、深いウェル領域の電位

(V_{d-well})を電源電圧(V_{DD})レベルに固定し、ゲート電極に V_{DD} の電圧を入力した場合は、寄生バイポーラトランジスタTr3が、MOS型トランジスタの動作を妨げるように動作しようとする。言い換えると、MOS型トランジスタが出力(V_{out})をGNDにしよう(保とう)とするのに対して、寄生バイポーラトランジスタTr3は、出力(V_{out})を電源電圧 V_{DD} にしよう(保とう)とする動作をする。また、この場合において、寄生バイポーラトランジスタTr2は、素子動作と無関係なリーク電流が発生させるように動作する。

【0086】従って、深いウェル領域の電位

(V_{d-well})を電源電圧(V_{DD})に固定する場合は、寄生バイポーラトランジスタTr2及びTr3があまり電流を流さないように設計する必要がある。本発明者の実験によれば、寄生バイポーラトランジスタTr2及びTr3のベース幅を200nm以上にし、ベース部分の不純物濃度を $2 \times 10^{17} \text{ cm}^{-3}$ 以下に設定すれば、MOS

※型トランジスタのオン電流に対して、寄生バイポーラトランジスタの電流を無視できるレベルに抑制することができた。ここで、「ベース幅」は、ソース/ドレイン領域の下端から浅いウェル領域の下端までの距離を意味する。

【0087】深いウェル領域に与えられる電位(V_{d-well})をGNDレベルにした場合は、すべての入出力

の関係において、MOS型トランジスタを助ける方向に寄生バイポーラトランジスタが働く。このとき、図5の半導体素子は、ダイナミックしきい値型トランジスタ電流と寄生バイポーラトランジスタ電流と総合した電流を流すことが可能となる。このため、寄生バイポーラトランジスタの動作を積極的に理由する構成を採用した場合、寄生バイポーラ動作を示さないダイナミックしきい値型トランジスタ素子単体と比較して、更に大きな駆動力を得ることが可能となる。

【0088】(実施例3)実施例1の半導体装置では、素子分離構造をフィールド酸化膜で形成している。素子分離構造をフィールド酸化膜で形成した場合、隣接する浅いウェル領域を分離するために、非常に大きな素子分離領域が必要となる。このため、フィールド酸化膜を用いた素子分離は、シリコン基板上のトランジスタ素子1個あたりの専有面積の増大を招き、素子の高集積化には適していない。

【0089】以下、図6(a)～(d)を参照しながら、溝型素子分離構造を持つ実施例を説明する。図6(a)は、本実施例の平面図、図6(b)、(c)および(d)は、それぞれ、図6(a)のb-b'線断面

25

図、c-c'線断面図およびd-d'線断面図である。

【0090】本実施例の半導体装置では、半導体基板301内に「深いウェル領域302」が設けられており、その深いウェル領域内に「浅いウェル領域303」が設けられている。浅いウェル領域303の導電型は、深いウェル領域の導電型と反対であり、半導体基板301の導電型と同じである。

【0091】本実施例のMOS型トランジスタは、上記浅いウェル領域303に形成されている。より詳細には、このMOS型トランジスタは、浅いウェル領域内に形成されたソース領域/ドレイン領域307と、ソース領域/ドレイン領域307間に形成されたチャネル領域と、チャネル領域を覆うゲート絶縁膜305と、ゲート絶縁膜305上に形成されたゲート電極306とを備えている。ゲート電極306は、ゲート絶縁膜305に形成されたコンタクト孔308を介して、浅いウェル領域303に電気的に接続されている。

【0092】少なくとも浅いウェル領域は、隣接するトランジスタ素子の浅いウェル領域と溝型素子分離構造304によって電気的に分離されている。

【0093】溝型素子分離構造を形成するために必要な領域の横方向サイズは、最小加工寸法程度である。従って、最小加工寸法程度の僅かな領域でのみで、隣接するトランジスタ素子間の分離を行うことが可能となり、SOI基板を用いることなく、また、集積度を犠牲にすることなく、可変しきい値型MOS型トランジスタを実現することができる。

【0094】図7(a)～(d)は、上記実施例の改良例を示している。この改良例では、溝型素子分離構造シリコン基板上の不活性領域上にフィールド酸化膜3041を形成している。図示されている構造は、不図示の層間絶縁膜で覆われ、その上に上部配線が形成される。フィールド酸化膜3041を設けることによって、その上部配線と半導体基板間との間の寄生容量を低減できる。

【0095】以下、この改良例を説明する。この改良例の半導体装置では、半導体基板301'内に「深いウェル領域302'」が設けられており、その深いウェル領域内に「浅いウェル領域303'」が設けられている。浅いウェル領域303'の導電型は、深いウェル領域の導電型と反対であり、半導体基板301'の導電型と同じである。

【0096】本実施例のMOS型トランジスタは、上記浅いウェル領域303'に形成されている。より詳細には、このMOS型トランジスタは、浅いウェル領域内に形成されたソース領域/ドレイン領域307'と、ソース領域/ドレイン領域307'間に形成されたチャネル領域と、チャネル領域を覆うゲート絶縁膜305'と、ゲート絶縁膜305'上に形成されたゲート電極306'とを備えている。ゲート電極306'は、ゲート絶

26

縁膜315'に形成されたコンタクト孔308'を介して、浅いウェル領域303'に電気的に接続されている。

【0097】少なくとも浅いウェル領域は、隣接するトランジスタ素子の浅いウェル領域と溝型素子分離構造304'及びフィールド酸化膜3041によって電気的に分離されている。

【0098】(実施例4)層間絶縁膜上に形成した上部配線と半導体基板間との間に形成される容量を低減するために、実施例3の半導体装置では、シリコン基板上の不活性領域上に酸化膜3041を形成している。本実施例では、同様の目的を達成する他の構成を持つ場合を説明する。

【0099】以下、図8(a)～(d)を参照しながら、本実施例を説明する。図8(a)は、本実施例の平面図、図8(b)、(c)および(d)は、それぞれ、図8(a)のb-b'線断面図、c-c'線断面図およびd-d'線断面図である。

【0100】本実施例の半導体装置では、半導体基板401内に「深いウェル領域402」が設けられており、その深いウェル領域内に「浅いウェル領域403」が設けられている。浅いウェル領域403の導電型は、深いウェル領域の導電型と反対であり、半導体基板401の導電型と同じである。

【0101】本実施例のMOS型トランジスタは、上記浅いウェル領域403に形成されている。より詳細には、このMOS型トランジスタは、浅いウェル領域内に形成されたソース領域/ドレイン領域407と、ソース領域/ドレイン領域407間に形成されたチャネル領域と、チャネル領域を覆うゲート絶縁膜405と、ゲート絶縁膜405上に形成されたゲート電極406とを備えている。ゲート電極406は、ゲート絶縁膜405に形成されたコンタクト孔408を介して、浅いウェル領域403に電気的に接続されている。少なくとも上記浅いウェル領域は、溝型素子分離構造404によって、隣接するトランジスタ素子の浅いウェル領域と電気的に分離されている。

【0102】本実施例では、溝型素子分離構造404で囲まれた領域上にも部分的にフィールド酸化膜4041が延びている。そのため、本実施例のチャネル幅(W)は、溝型素子分離構造404によってではなく、フィールド酸化膜4041によって決定される。より具体的には、トランジスタのチャネル幅(W)は、フィールド酸化膜の距離dによって定まる。図7(a)～(d)に示した実施例では、素子分離溝とゲート電極との間に位置合わせずれが生じると、トランジスタのチャネル幅(W)は設計値からシフトしてしまう。しかし、本実施例では、そのような位置合わせずれが生じても、トランジスタのチャネル幅(W)は設計値からシフトしない。このため、トランジスタ特性が製造プロセスによって変

化しにくくなる。

【0103】また、ゲート電極と素子分離領域のオーバーラップ領域(図8(d)の領域A)に、溝のエッジ部ではなく、バースピークが存在する。このため、溝のエッジ部に起因するソース領域/ドレイン間リークを抑制することが可能となる。

【0104】ただし、高集積化に対しては、不利となる。バースピークを抑える方法に関しては、実施例28以降の実施例で説明する。

【0105】(実施例5)以下に、本発明によるトランジスタ素子において、ゲート電極と浅いウェル領域とをオーミック接続するためのコンタクト構造を説明する。

【0106】埋め込みチャネルを持つMOS型トランジスタでは、ゲート電極(を構成する半導体層)と浅いウェル領域とは、同じ導電型を持つため、ゲート酸化膜にコンタクト孔を開け、ゲート電極(を構成する半導体層)と浅いウェル領域とを直接に接続してもオーミックコンタクトが形成される。しかし、表面チャネル型のMOS型トランジスタでは、ゲート電極(を構成する半導体層)と浅いウェル領域とは、逆導電型となるため、そのまま、ゲート電極(を構成する半導体層)を浅いウェル領域に接続しても、PN接合が形成され、オーミックコンタクトは形成されない。

【0107】そこで、本発明では、ゲート電極と浅いウェル領域がどのような導電型でもオーミック接続できるように、ゲート電極と浅いウェル領域を接続するに当たり、ゲート電極と浅いウェル領域の間に金属シリサイド膜及び浅いウェル領域と同導電型の不純物濃度の高い領域を設けることとした。つまり、「ゲート電極」→「金属シリサイド層」→「不純物濃度の高い、浅いウェル領域と同導電型の領域」→「浅いウェル領域」の順で、ゲート電極を浅いウェル領域に電氣的に接続している。ここで、「不純物濃度の高い、浅いウェル領域と同導電型の領域」の不純物濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上に設定すれば、「金属シリサイド層」と「浅いウェル領域」をオーミック接続することが可能になる。なお、「ゲート電極」の不純物濃度はもともと高い(通常 $1 \times 10^{20} / \text{cm}^3$ 以上)ため、直接に、金属シリサイド膜にオーミック接続することが可能である。

【0108】仮に、「不純物濃度の高い、浅いウェル領域と同導電型の領域」を設けずに、シリサイド膜を直接に浅いウェル領域に接続する場合、金属半導体ショットキー接合が形成されるため、オーミックコンタクトは形成されなくなる。

【0109】図9(a)は、本発明に係るオーミックコンタクト構造の基本的構造を示す断面図である。図9(b)～(e)は、そのオーミックコンタクト構造の応用例であり、各種の素子分離構造が示されている。ただし、素子分離構造は、本実施例のように溝型素子分離、及びフィールド酸化膜に限るものではない。

【0110】ここで、51、510、511、512、513は、深いウェル領域、52、520、521、522、523は、浅いウェル領域、53、530、531、532、533は、ゲート酸化膜、54、540、541、542、543は、ゲート電極、55、550、551、552、553は、ゲート電極側壁酸化膜、56、560、561、562、563は、金属シリサイド膜、57、570、571、572、573は、不純物濃度の高い浅いウェル領域と同導電型の領域、580、592、593は、フィールド酸化膜、581、582、583は、溝型分離構造である。

【0111】(実施例6)本発明におけるゲート電極と浅いウェル領域とをオーミック接続するコンタクト構造に関して、図10を参照しながら、実施例5とは別の構造を説明する。

【0112】上述したように、表面チャネル型のMOS型トランジスタでは、ゲート電極と浅いウェル領域とは逆導電型となるため、そのまま接続してもPN接合が形成され、オーミックコンタクトが形成されない。そこで、本発明では、ゲート電極と浅いウェル領域がどのような導電型でもオーミックに接続できるようにしている。具体的には、半導体装置の上部に、層間絶縁膜616を介して上部金属配線619を設け、層間絶縁膜616には、ゲート電極614及びゲート酸化膜613を貫き、浅いウェル領域612まで達するコンタクト孔618を設けている。コンタクト孔618の側壁部で、ゲート電極614と上部金属配線619とがオーミックに接続されている。また、コンタクト孔618の底部では、上部金属配線619と浅いウェル領域612とが、浅いウェル領域と同導電型の不純物濃度の高い領域617を介して、オーミックに接続されている。

【0113】ここで、611は、浅いウェル領域の導電型とは逆の導電型の深いウェル領域であり、615は、ゲート側壁酸化膜である。

【0114】本構造によれば、浅いウェル領域と同導電型の不純物濃度の高い領域617の不純物濃度を $1 \times 10^{20} / \text{cm}^3$ 以上に設定することにより、上部金属配線619と浅いウェル領域617をオーミック接続することが可能となる。ゲート電極614は、ゲート電極空乏化防止のため元々不純物濃度を $1 \times 10^{20} / \text{cm}^3$ 以上に設定する必要があるため、上部金属配線619とゲート電極614は直接接続することでオーミック接続出来ることにより、上記上部金属配線619を介して、ゲート電極614と浅いウェル領域612をオーミック接続することが可能となる。

【0115】本実施例の応用例として、図10(a)のような方法もある。本方法では、たとえば、上部配線金属629をシリコンを含まないアルミ系材料のようなもの(アルミ系材料に限定するものではなくシリコンと反応する金属であればよい)で形成したい場合後の熱処理

29

(例えばシンター処理)等により、シリコン基板とアルミ系材料が激しく反応し、スパイク6291が発生する。このため、浅いウェル領域と上部金属配線629とがオーミック接続できる。この場合、浅いウェル領域と同導電型の不純物濃度の高い領域627は無くてもよいが、存在する方がより確実にオーミックコンタクトを形成することが出来る。また、ゲート電極を多結晶シリコン膜624と金属シリサイド膜6241の2層ポリサイド膜で形成することにより、上部金属配線629とゲート電極とのコンタクト抵抗をより低減することが可能となる。

【0116】より一般的な方法では、図10(c)の方法がある。本方法では、ポリサイド構造のゲート電極(本実施例では、チタンシリサイド膜6341と多結晶シリコン膜634の2層構造)を備えた構造を形成した後、層間絶縁膜636を堆積する。シリコン基板まで達するコンタクト孔638を層間絶縁膜636に開口した後、チタン6391、窒化チタン6392、上部金属配線6393を順次堆積する。本実施例では、チタン6391(厚さ:30~50nm)、及び窒化チタン(厚さ:500~1000nm程度)を堆積する。その後、700℃で窒素雰囲気中アニールを20秒程度行う。本アニール処理により、チタン膜6391は、ポリサイドゲート電極のチタンシリサイド膜6341及び多結晶シリコン膜634と反応するとともに、シリコン基板(浅いウェル領域と同導電型の不純物濃度の高い領域637)と反応する。このようにして、チタンシリサイド膜6391.1を形成するため、ゲート電極と浅いウェル領域632を低抵抗でオーミック接続することが可能となる。上部金属配線6393の材料は、本実施例では、Al-Si(1%)-Cu(0.5%)を使用しているが、金属配線材料はこれに限るものではない。また、ポリサイド構造のゲート電極のシリサイド膜は、チタンシリサイド膜に限るものではなく、コバルトシリサイド等他の高融点金属シリサイド膜でもよい。図10(d)~(g)までは、図10(c)の構造に、素子分離構造を組み合わせたものである。ただし、この素子分離構造は、本実施例のような溝型素子分離及び/又はフィールド酸化膜に限るものではない。

【0117】ここで、621、631、641、651、661、671は深いウェル領域、622、632、642、652、662、672は浅いウェル領域、623、633、643、653、663、673はゲート酸化膜、624、634、644、654、664、674は多結晶シリコン膜、6241、6341、6441、6541、6641、6741はチタンシリサイド膜、625、635、645、655、665、675はゲート電極側壁酸化膜、626、636、646、656、666、676は層間絶縁膜、621、631、641、651、661、671は不純物

30

濃度の高い浅いウェル領域と同導電型の領域、628、638、648、658、668、678はコンタクト孔、629はAl-Cu(0.5%)配線、6291はアルミアロイスパイク、6391、6491、6591、6691、6791はチタン膜、63911、64911、65911、66911、67911はチタンシリサイド膜、6392、6492、6592、6692、6792は窒化チタン膜、6393、6493、6593、6693、6793はAl-Si(1%)-Cu(0.5%)配線、6400、6601、6701はフィールド酸化膜、6500、6600、6700は溝型分離構造である。

【0118】(実施例7)図12(a)~(e)を参照しながら、実施例5におけるコンタクト構造を形成する方法を具体的に説明する。素子分離構造として、図9(e)に示す構造を採用した場合について説明する。

【0119】まず、図12(a)に示すように、深いウェル領域701が形成された半導体基板中に、浅いウェル領域702、溝型素子分離構造703、フィールド酸化膜領域704を形成した後、浅いウェル領域702の表面にしきい値制御のための不純物イオン注入等を行う。その後、ゲート酸化膜705、ゲート電極706、ゲート側壁酸化膜707を周知の方法で形成する。

【0120】本実施例では、深いウェル領域の不純物濃度は、 $5 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ に設定しており、浅いウェル領域の不純物濃度は、 $1 \sim 2 \times 10^{17} / \text{cm}^3$ に設定した。また、浅いウェル領域の深さは、300~700nmに設定した。

【0121】不図示のソース/ドレイン領域は、 $1 \times 10^{20} / \text{cm}^3$ 以上の不純物濃度を持つように、拡散深さが50~70nmになるように形成した。ゲート酸化膜705の厚さは、3nmである。ゲート電極705は多結晶シリコン膜から形成し、その不純物の濃度は、 $1 \times 10^{20} / \text{cm}^3$ 以上に設定した。溝型素子分離構造703は浅いウェル領域702に対して十分深く設定する必要があり、かつ深いウェル領域よりも浅くすることが望ましい。本実施例では、深いウェル領域701の深さは、2 μm 以上に設定してあり、溝型素子分離構造703の深さは、1~2 μm に設定している。

【0122】上記各数値は、あくまでも本実施例で用いた例であり、本発明はこれに限定されるものではない。これらの不純物濃度および拡散深さ等の数値は、トランジスタの設計によって変わるものである。

【0123】なお、本実施例のトランジスタでは、そのゲート長(チャネル長)を0.18 μm に設定している。深いウェル領域701と、ソース/ドレイン領域(不図示)と、ゲート電極706は、同導電型であり、浅いウェル領域702とは逆導電型である。

【0124】次に、図12(b)に示すように、リソグラフィ技術によって形成したレジスト708をマスクと

31

して、ゲート電極705の所望の部分をRIEでエッチングし、その部分に浅いウェル領域702に達するコンタクト孔709を形成する。その後、イオン注入工程によって、浅いウェル領域702と同導電型の不純物を注入し、浅いウェル領域702よりも濃度の高い領域710を形成する。このイオン注入工程においては、例えば、浅いウェル領域702がp型半導体の時、ボロンイオンを $1 \sim 5 \times 10^{15} / \text{cm}^2$ の注入量で、加速電圧5 $\sim 10 \text{ keV}$ のエネルギーで注入し、浅いウェル領域702がn型半導体の時は、砒素イオンを $1 \sim 5 \times 10^{15} / \text{cm}^2$ の注入量で加速電圧10 $\sim 30 \text{ keV}$ のエネルギーで注入する。

【0125】次に、図12(c)に示すように、チタン金属711を堆積する。本実施例では、スパッタ法により、アルゴンガス中で20nm \sim 50nmの膜厚を堆積した。

【0126】次に、図12(d)に示すように、600 $^{\circ}\text{C}$ \sim 700 $^{\circ}\text{C}$ の範囲で窒素雰囲気中、10 \sim 20秒程度の第1の急速加熱処理を行い、上記チタン金属711とシリコンを反応させチタンシリサイド膜712を形成する。このとき第1の急速加熱処理により、上記コンタクト部に注入された不純物の一部が活性化する。

【0127】図12(e)に示すように、未反応及び窒化したチタン金属膜を選択的に除去した後、800 $^{\circ}\text{C}$ \sim 1000 $^{\circ}\text{C}$ の範囲で窒素雰囲気中、10 \sim 20秒程度の第2の急速加熱処理を行い、上記シリサイド膜712を低抵抗なC54結晶構造に変化させるとともに上記コンタクト部に注入された不純物を活性化する。

【0128】本実施例の方法によれば、シリサイド膜712により容易にゲート電極706と浅いウェル領域702を接続することが可能となる。また、このシリサイド膜712を形成するプロセスは、基本的に、シリサイドプロセスと同様である。このため、シリサイドトランジスタを形成する場合、特別な工程としては、コンタクト孔709の形成工程および濃度の高い領域710の形成工程が付加されるだけで、全体として工程数が大きく増加するわけではない。

【0129】上記実施例では、コンタクトへの不純物イオン注入をシリコン基板表面(浅いウェル領域702表面)が露出した状態で注入しているため、レジストからの汚染物がシリコン基板表面(浅いウェル領域702)を汚染する可能性がある。しかし、接合を形成するためではなく(接合を形成するためのイオン注入の時は、汚染物が深い準位を形成し再結合中心として働いたため、接合リークが増大し良くない)オーミックコンタクトを形成するためなのでそれほど気にする必要はない。

【0130】また、コンタクトエッチングにより、シリコン基板表面(浅いウェル領域702)がダメージを受ける場合は、多結晶シリコン膜とシリコン酸化膜のエッチング選択比が高いRIEによりコンタクト孔底部のゲ

32

ート酸化膜が露出した段階でエッチングを終了し、ゲート酸化膜705をフッ酸系溶液もしくは、酸化膜エッチング系RIEで除去しても良い。

【0131】なお、レジストからの汚染物が気になる場合、コンタクト形成のためのエッチングは、多結晶シリコン膜とシリコン酸化膜のエッチング選択比が高いRIEによりコンタクト孔底部のゲート酸化膜705が露出した段階でエッチングを終了し、ゲート酸化膜705を残したままにし、ゲート酸化膜705を介してコンタクトへの不純物イオン注入を行ってもよい。しかしこの方法では、イオン注入時に上記ゲート酸化膜705から浅いウェル領域702表面に酸素がノックオンされるため、シリサイド化反応時に、このノックオン酸素が悪影響を及ぼし、シリサイド膜の膜質が悪化する。

【0132】(実施例8)図13(a) \sim (e)および図14(a) \sim (c)を参照しながら、ゲート電極と浅いウェル領域とを接続するコンタクト構造の他の形成方法を説明する。ここでは、実施例7に比べて、レジスト汚染が無く、かつ、シリサイド化におけるノックオン酸素汚染のない方法を説明する。

【0133】まず、図13(a)に示すように、図12(a)と同様に、深いウェル領域801が形成された半導体基板中に、浅いウェル領域802、溝型素子分離構造803、フィールド酸化膜領域804を形成した後、しきい値制御のための不純物イオン注入等を行う。この後、ゲート酸化膜805、ゲート電極806、ゲート側壁酸化膜807を周知の方法で形成する。本実施例では、深いウェル領域の不純物濃度は、 $5 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ に設定しており、浅いウェル領域の不純物濃度は、 $1 \sim 2 \times 10^{17} / \text{cm}^3$ に設定し、浅いウェル領域の深さは、300 \sim 700nmに設定した。また、不図示のソース/ドレイン領域の不純物濃度は、 $1 \times 10^{20} / \text{cm}^3$ 以上に設定し、接合深さは50 \sim 70nmに設定している。

【0134】ゲート酸化膜は、3nmであり、ゲート電極は多結晶シリコン膜から形成する。の濃度は、 $1 \times 10^{20} / \text{cm}^3$ 以上に設定している。また、溝型素子分離構造803は浅いウェル領域802に対して十分深く設定する必要があり、かつ深いウェル領域よりも浅くすることが望ましい。本実施例では、深いウェル領域801の深さは、2 μm 以上に設定してあり、溝型素子分離構造803の深さは、1 \sim 2 μm に設定している。

【0135】これらの数値は、あくまでも実施例において、我々が試作に用いた値であり、これに限るものではない。これらの濃度、深さの数値は、トランジスタ設計により変わるものである。なお、我々のトランジスタは、ゲート長0.18 μm に設定している。なお、深いウェル領域801と、ソース/ドレイン領域(図面上には図示していない)と、ゲート電極806は、同導電型であり、浅いウェル領域802とは逆導電型である。

33

【0136】次に、図13(b)に示すように、フォトレジスト808をマスクとして、ゲート電極の所望の領域に浅いウェル領域802まで達するコンタクト孔809をRIEにより形成する。コンタクトエッチングにより、シリコン基板表面(浅いウェル領域802)がダメージを受ける場合は、多結晶シリコン膜とシリコン酸化膜のエッチング選択比が高いRIEによりコンタクト孔底部のゲート酸化膜が露出した段階でエッチングを終了し、ゲート酸化膜805をフッ酸系溶液もしくは、酸化膜エッチング系RIEで除去しても良い。

【0137】次に、図13(c)図に示すように、フォトレジスト808を除去し、シリコン窒化膜810を堆積する。本実施例では、LPCVD法により、約2~5 nm程度の膜厚を堆積している。

【0138】次に図13(d)に示すように、フォトレジスト811でマスクを行いコンタクト孔809底部にイオン注入を行い(本実施例では、浅いウェル領域802がp型半導体の時は、ボロンイオンを $1\sim 5\times 10^{15}/\text{cm}^2$ の注入量で、加速電圧5~10 keVのエネルギーで注入しており、浅いウェル領域802がn型半導体の時は、砒素イオンを $1\sim 5\times 10^{15}/\text{cm}^2$ の注入量で加速電圧10~30 keVのエネルギーで注入した)、浅いウェル領域802と同導電型の浅いウェル領域802よりも濃度の高い領域812を形成する。シリコン窒化膜810を介してのイオン注入では、酸素ではなく、窒素がノックオンされるので、後工程でのシリサイド化反応が制御よく出来る。

【0139】フォトレジスト811-(イオン注入マスク)とコンタクト孔809との関係は、位置合わせズレのマージン分(距離d)だけ、フォトレジスト811をコンタクト孔809に対して広げる必要がある。このときゲート電極の一部に浅いウェル領域802と同導電型となるような不純物が注入されるため、本来ゲート電極806は、表面チャネル型MOS型トランジスタの場合浅いウェル領域802と逆導電型であるため、ゲート電極の元々の不純物濃度にもよるが、ゲート電極のコンタクト注入された領域だけ、真性半導体に近づくか、もしくは、浅いウェル領域802と同導電型となり、最悪ゲート電極にPN接合が形成される。しかし、後の工程により、ゲート電極がシリサイド化されるため、オーミック接続に支障はない。

【0140】次に、図13(e)に示すように、フォトレジスト811を除去した後、図14(a)に示すように、チタン金属813を堆積する。本実施例では、スパッタ法によりアルゴンガス中で20 nm~50 nmの膜厚を堆積した。

【0141】次に、図14(b)に示すように、600℃~700℃の範囲で窒素雰囲気中、10~20秒程度の第1の急速加熱処理を行い、上記チタン金属813とシリコンを反応させチタンシリサイド膜814を形成す

34

る。このとき、第1の急速加熱処理により、上記コンタクト部に注入された不純物の一部が活性化する。

【0142】図14(c)に示すように、未反応及び窒化したチタン金属膜を選択的に除去した後、800℃~1000℃の範囲で窒素雰囲気中、10~20秒程度の第2の急速加熱処理を行い、上記シリサイド膜814を低抵抗C54結晶構造に変化させるとともに上記コンタクト部に注入された不純物を活性化する。本実施例では、シリコン中に酸素ではなく窒素がノックオンされるため、シリサイド化反応において、シリサイド膜の粒界に酸素ではなく窒素が偏析し、シリサイド膜の耐熱性が良くなる。また、フォトレジストからの汚染物の侵入は、注入保護膜であるシリコン窒化膜810により防ぐことが出来るため、汚染も少ない。

【0143】また、工程簡略化を優先するときは、シリコン窒化膜810を堆積せずに、不純物イオンを直接に注入しても良いが、実施例7で前述したように注入時に汚染される。

【0144】本実施例においては、コンタクト形成領域へ選択的に不純物イオンを注入するための注入マスク形成工程が第7の実施例の場合に比較して1回増えている。しかし、相補型MOS構造を形成する場合には、nチャネルトランジスタ用とpチャネルトランジスタ用に分けてイオン注入を行う必要があるため、合計すると、最低2回は注入マスク形成工程を行うことになる。このため、第7の実施例のようにコンタクト形成用注入マスクを用いてコンタクト形成領域へイオン注入を行う場合、nチャネルトランジスタのコンタクト用とpチャネルトランジスタのコンタクト用にそれぞれ別々のコンタクト孔を開く必要が発生する。

【0145】これらの点を考慮すれば、相補型MOS構造の場合、本実施例の方法が第7の実施例の場合に比較してそれほど工程を複雑にするわけではない。

【0146】第7の実施例を相補型で形成するためには、nチャネル(pチャネル)コンタクトフォトリソグラフィ→nチャネル(pチャネル)コンタクト開口→pウェル領域(nウェル領域)へのコンタクト注入→pチャネル(nチャネル)コンタクトフォトリソグラフィ→pチャネル(nチャネル)コンタクト開口→nウェル領域(pウェル領域)へのコンタクト注入となり、第8の実施例では、コンタクトフォトリソグラフィ→nチャネル、pチャネル同時コンタクト開口→nチャネル(pチャネル)コンタクト注入フォトリソグラフィ→pウェル領域(nウェル領域)コンタクト注入→pチャネル(nチャネル)コンタクト注入フォトリソグラフィ→nウェル領域(pウェル領域)コンタクト注入となる。このため、第7の実施例では、フォトリソグラフィ工程が1回少ない代わりにコンタクト開口工程が1回多くなる。

【0147】後述する実施例(実施例13)の様に、相補型MOS構造を形成する場合において、ソース/ドレ

35

イン注入マスクとコンタクト注入マスクを兼用する場合は、本実施例の方が第7の実施例と比べてフォトリソグラフィ工程が一回少なくなる。なぜならば、コンタクトマスク用フォトリソグラフィ工程とソース/ドレイン注入用フォトリソグラフィ工程を兼用することは出来ないからである。これは、コンタクトエッチングにより、ソース/ドレイン領域がダメージを受けないようにするめたである。

【0148】(実施例9)本実施例では、実施例8に対して、自己整合的に高融点金属シリサイド膜を形成した後にイオン注入法により、浅いウェル領域と同導電型の不純物イオンを注入し、コンタクト孔底部のウェル領域内に高濃度拡散層を形成する方法に関して述べる。

【0149】図15(a)～(f)は、本実施例の簡略化した工程順断面図である。

【0150】まず、図15(a)に示すように、図12(a)と同様に、深いウェル領域901が形成された半導体基板中に、浅いウェル領域902、溝型素子分離構造903、フィールド酸化膜領域904、を形成し、しきい値制御のための不純物イオン注入等を行った後、ゲート酸化膜905、ゲート電極906、ゲート側壁酸化膜907を周知の方法で形成する。本実施例では、深いウェル領域濃度は、 $5 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ に設定しており、浅いウェル領域は、 $1 \sim 2 \times 10^{17} / \text{cm}^3$ に設定し、その深さは、300～700nmに設定した。また、図示はしていないが、ソース領域、ドレイン領域は、 $1 \times 10^{20} / \text{cm}^3$ 以上の濃度で、深さを50～70nmに設定している。また、ゲート酸化膜は、3nmであり、ゲート電極は、多結晶シリコン膜よりなりその濃度は、 $1 \times 10^{20} / \text{cm}^3$ 以上に設定している。また、溝型素子分離構造903は浅いウェル領域902に対して十分深く設定する必要があるが、かつ深いウェル領域よりも浅くすることが望ましい。本実施例では、深いウェル領域901の深さは、2 μm 以上に設定しており、溝型素子分離構造903の深さは、1～2 μm に設定している。しかし、これらの数値は、あくまでも実施例において、我々が試作に用いた値でありこれに限るものではない。これらの濃度、深さの数値は、トランジスタ設計により変わるものである。なお、我々のトランジスタは、ゲート長0.18 μm に設定している。なお、深いウェル領域901と、ソース/ドレイン領域(図面上には図示していない)と、ゲート電極906は、同導電型であり、浅いウェル領域902とは逆導電型である。

【0151】次に、図15(b)に示すように、フォトレジスト909をマスクとして、ゲート電極の所望の領域に浅いウェル領域902まで達するコンタクト孔909をRIEにより形成する。コンタクトエッチングにより、シリコン基板表面(浅いウェル領域902)がダメージを受ける場合は、多結晶シリコン膜とシリコン酸化

36

膜のエッチング選択比が高いRIEによりコンタクト孔底部のゲート酸化膜が露出した段階でエッチングを終了し、ゲート酸化膜905をフッ酸系溶液もしくは、酸化膜エッチング系RIEで除去しても良い。

【0152】次に、図15(c)に示すように、チタン金属910を堆積する。(本実施例では、スパッタ法によりアルゴンガス中で20nm～50nmの膜厚を堆積した)。

【0153】次に、図15(d)に示すように、600℃～700℃の範囲で窒素雰囲気中、10～20秒程度の第1の急速加熱処理を行い、上記チタン金属910とシリコンを反応させチタンシリサイド膜911を形成する。

【0154】次に、図15(e)に示すように、フォトレジスト912で注入マスクを形成しコンタクト孔909底部にイオン注入を行い(本実施例では、浅いウェル領域902がp型半導体の時は、ボロンイオンを $1 \sim 5 \times 10^{15} / \text{cm}^2$ の注入量で、加速電圧5～10keVのエネルギーで注入しており、浅いウェル領域902がn型半導体の時は、砒素イオンを $1 \sim 5 \times 10^{15} / \text{cm}^2$ の注入量で加速電圧10～30keVのエネルギーで注入した)、浅いウェル領域902と同導電型の浅いウェル領域902よりも濃度の高い領域913を形成する。

【0155】フォトレジスト912(イオン注入マスク)とコンタクト孔909との関係は、位置合わせズレマージン分(距離d)だけフォトレジスト912をコンタクト孔909に対して広げる必要がある。このときゲート電極の一部に浅いウェル領域902と同導電型となるような不純物が注入されるため、本来ゲート電極906は、表面チャネル型MOS型トランジスタの場合浅いウェル領域902と逆導電型であるため、ゲート電極の元々の不純物濃度にもよるが、ゲート電極のコンタクト注入された領域だけ、真性半導体に近づくか、もしくは、浅いウェル領域902と同導電型となり、最悪ゲート電極にPN接合が形成されるが、ゲート電極がポリサイド化されているため、オーミック接続に支障はない。

【0156】次に、図15(f)に示すように、フォトレジスト912と、未反応及び窒化したチタン金属膜を選択的に除去し、800℃～1000℃の範囲で窒素雰囲気中、10～20秒程度の第2の急速加熱処理を行い、上記シリサイド膜911を低抵抗なC54結晶構造に変化させるとともに上記コンタクト部に注入された不純物を活性化する。本実施例では、シリコン中に酸素ではなくチタンがノックオンされるため、シリサイド化反応において、シリサイド膜のグレインバウンダリに酸素が偏析することなくシリサイド膜の耐熱性が良くなる。また、フォトレジストからの汚染物は、注入保護膜である未反応及び窒化したチタン金属膜910により防ぐことが出来るため、汚染も少ない。

【0157】(実施例10)以下に、図16及び図17を参照しながら、本発明による相補型MOS構造を有する半導体装置の実施例を説明する。図16は、本実施例の構造を示し、図17は、その等価回路図である。図16は、入力INの電位レベルにตอบสนองして、出力OUTの電位レベルが、電源電圧 V_{DD} と接地電圧GNDとの間で変化するCMOSインバータが示されている。なお、本実施例は、実施例1~4のトランジスタ素子を、異なる導電型で相補的に接続して同一半導体基板に形成したものである。

【0158】図16に示されるように、半導体基板1001には、深いnウェル領域1002及び深いpウェル領域1003が設けられ、これらの深いウェル領域には、それぞれ、浅いpウェル領域1006及び浅いnウェル領域1007が設けられている。図16では、一組の相補関係にあるMOS型トランジスタが示されているが、実際には、多数の組のMOS型トランジスタが同一基板上に集積される。

【0159】浅いpウェル領域1006には、nチャネル型のMOS型トランジスタ素子が形成され、浅いnウェル領域1007には、pチャネル型のMOS型トランジスタ素子が形成されている。

【0160】nチャネル型のMOS型トランジスタ素子は、浅いpウェル領域1006の上面近傍に形成されたn型ソース/ドレイン領域1015と、n型張り出し接合領域1013と、ソース/ドレイン領域間に形成されたチャネル領域上に形成されたゲート絶縁膜1008と、ゲート絶縁膜1008上に形成されたn型ゲート電極1009とを備えている。n型ゲート電極1009は、浅いpウェル領域1006に電気的に接続されている。

【0161】pチャネル型のMOS型トランジスタ素子は、浅いnウェル領域1007の上面近傍に形成されたp型ソース/ドレイン領域1016と、p型張り出し接合領域1014と、ソース/ドレイン領域間に形成されたチャネル領域上に形成されたゲート絶縁膜1008と、ゲート絶縁膜1008上に形成されたp型ゲート電極1010とを備えている。p型ゲート電極1010は、浅いnウェル領域1007に電気的に接続されている。

【0162】何れのトランジスタにおいても、ゲート電極1009及び1010の上部には、高融点金属シリサイド膜1012が形成されており、ゲート電極1009及び1010の側面には、側壁絶縁膜(サイドウォールスペーサ)1011が形成されている。

【0163】なお、張り出し接合領域1013及び1014は、短チャネル効果を抑制しながら、トランジスタ駆動力を高めるために設けられている。その接合深さは、例えば、20nm~70nm程度であり、不純物濃度は、 $1 \times 10^{19}/\text{cm}^3 \sim 1 \times 10^{20}/\text{cm}^3$ の範囲内

に設定される。

【0164】各部分のサイズや不純物濃度等は、前記実施例2について説明した内容に準ずる。個々のトランジスタの動作に関しては、実施例1及び2で説明したとおりである。

【0165】浅いpウェル領域1006及び浅いnウェル領域1007のそれぞれの周囲には、溝型素子分離構造1004が設けられている。基板表面の不活性領域(フィールド領域)上には、フィールド素子分離領域1005が形成されている。

【0166】図16には示されていないが、例えば、一つの深いnウェル領域1002内には、複数の浅いpウェル領域1006が形成され得る。浅いpウェル領域1006の各々は、他の浅いpウェル領域1006から電気的に分離される必要があるが、深いnウェル領域1002は、複数のトランジスタに共有され得る。このため、溝型素子分離構造1004は、浅いウェル領域よりも深く形成されているが、深いウェル領域の下端よりは浅い。

【0167】上記相補型でダイナミックしきい値トランジスタを構成することにより、低消費電力化の回路を構成しやすくなるという効果がある。

【0168】相補型にすることによる問題点は、nチャネル型のMOS型トランジスタ素子、あるいは、pチャネル型のMOS型トランジスタ素子の何れかについて、PN接合順方向電流が、常に流れ続けることである。この場合の「PN接合順方向電流」とは、浅いウェル領域とソース/ドレイン領域との間に形成されたPN接合を流れる電流だけでなく、深いウェル領域のバイアスによっては、浅いウェル領域と深いウェル領域との間に形成されたPN接合を流れる電流を含む。

【0169】図17を参照しながら、詳細を説明する。

【0170】スタンバイ状態では、入力INのレベルは、High(電源電圧 V_{DD} レベル)またはLow(GNDレベル)に固定される。このスタンバイ状態において、Pチャネル型のMOS型トランジスタ側の寄生バイポーラ(PNPT_{r1}、PNPT_{r2}、PNPT_{r3})、またはNチャネル型のMOS型トランジスタ側の寄生バイポーラ(NPNT_{r1}、NPNT_{r2}、NPNT_{r3})のどちらか一方が必ずオン状態となり、寄生バイポーラ電流が流れ続けることになる。また、たとえ寄生バイポーラ電流が無視できる状態でも、PN接合順方向電流は流れ続ける。

【0171】また、深いウェル領域の電位に関しては、実施例2の表1に記載したとおり、深いnウェル領域をGND、深いpウェル領域を V_{DD} (電源電圧)に固定した場合、MOS型トランジスタに対しては、寄生バイポーラトランジスタがMOS型トランジスタを助ける方向に動作するため有効である。しかし、この場合は、深いpウェル領域と深いnウェル領域との間に形成されてい

るダイオード接続に対し、順方向のバイアスが印加される。このため、このダイオード接続を通して常に順方向電流が流れ続けることになる。設計時に注意する必要がある。

【0172】深pウェル領域と深いnウェル領域との間のダイオード接続を通して順方向電流が流れないようにするためには、深pウェル領域と深いnウェル領域とを同電位、例えば $1/2V_{DD}$ （電源電圧の半分）にするか、もしくは、深いnウェル領域の電位を V_{DD} レベルに固定し、深いpウェル領域の電位をGNDレベルに固定すれば良い。

【0173】この場合、実施例2で説明したように、寄生バイポーラPNPTr3、NPNTTr3がトランジスタの動作を妨げる方向に動作するため、ベース幅を長くし、ベースの不純物濃度を低くすることによって、寄生バイポーラトランジスタの能力をMOS型トランジスタの動作に対して無視できるように極力低下させる必要がある。例えば、寄生バイポーラトランジスタの能力を低下させるには、例えば、ベース幅200nm以上になるように浅いウェル領域を深く形成し、ベースの不純物濃度を低くするために、浅いウェル領域濃度を $2 \times 10^{17}/\text{cm}^3$ 以下にすればよい。

【0174】（実施例11）前述のように、深いウェル領域の電位に関して、実施例2の表1に記載したとおり、深いnウェル領域の電位をGNDレベルに固定し、深いpウェル領域の電位を V_{DD} （電源電圧）レベルに固定した場合、寄生バイポーラトランジスタがMOS型トランジスタを助ける方向に動作するため、しかし、実施例10の構成によれば、深いpウェル領域と深いnウェル領域との間に形成されたダイオード接続に順方向バイアスが印加されるため、常に順方向電流が流れ続ける問題がある。

【0175】本実施例では、各深いウェル領域の導電型と逆の導電型を持つさらに深いウェル領域を設け、深いpウェル領域と深いnウェル領域との境界に、深いウェル領域よりも深く、溝型分離構造を設けている。

【0176】図18及び図19を参照しながら、本実施例を説明する。図18は、本実施例の構造の断面図、図19は、本素子の回路図である。

【0177】ここで、1101半導体基板、1102更に深いpウェル領域、1103更に深いnウェル領域、1104更に深いウェル領域よりも浅く深いウェル領域よりも深い溝型素子分離構造、1105深いnウェル領域、1106深いpウェル領域、1107深いウェル領域よりも浅く、浅いウェル領域よりも深い溝型素子分離構造、1108フィールド素子分離領域、1109浅いpウェル領域、1110浅いnウェル領域、1111ゲート酸化膜、1112n型ゲート電極、1113p型ゲート電極、1114ゲート側壁絶縁膜、1115高融点金属シリサイド膜、1116n型張り出し接合、111

7p型張り出し接合、1118n型ソース/ドレイン領域、1119p型ソース/ドレイン領域である。深いウェル領域よりも更に深いウェル領域の濃度は $1 \times 10^{16} \sim 1 \times 10^{17}/\text{cm}^3$ であり、深さは、 $5\mu\text{m}$ 以上に設定した。深いウェル領域の深さは、 $2 \sim 4\mu\text{m}$ であり、その他の条件は、実施例10に準ずる。ただし、本実施例の条件に限るものではない。

【0178】本実施例によれば、図18および図19に示すように、直接深いウェル領域間でPN接合を形成せず更に深いウェル領域で分離されており、更に深いウェル領域間のPN接合は、逆バイアスされているため、実施例10の様に深いウェル領域間でPN接合順方向電流は流れなくなる。

【0179】（実施例12）本実施例では、実施例10、11のスイッチング素子に関しバイポーラ効果を極力抑え、MOS型トランジスタとして動作させる場合のMOS型トランジスタのしきい値電圧の設定指針の例について記述する。

【0180】今後の携帯用機器等を考えた場合、低消費電力化技術は、ますます重要となってくる。通常のCMOSでは、電源電圧を低くすることがデバイス側から考えた場合、低消費電力化に対してもっとも有効な手段となる。通常のCMOSでは、スタンバイリークは、トランジスタのオフ電流によって決まる。

【0181】しかしながら、本発明に係る相補型半導体装置では、MOS型トランジスタ部分のオフ電流とバイポーラトランジスタ部分の電流とを加算した電流によって、スタンバイリークがきまる。バイポーラトランジスタ部分の増幅機能が小さい場合、「バイポーラトランジスタ部分の電流」は、ベース電流に等価であり、PN接合順方向電流に一致する。このため、スタンバイ状態でも、NPNもしくはPNPのどちらかが常にON状態となるため、常に、NPNもしくはPNPのどちらかのバイポーラ電流（増幅機能が小さい時はPN接合順方向電流）が流れ続ける。従って、バイポーラ電流に対してMOS型トランジスタ部のオフ電流を数桁低く設定しても、バイポーラ電流がスタンバイリークにとって支配的となり、あまり意味がない。

【0182】このため、本発明に係る半導体装置では、MOS型トランジスタ部のオフ電流値を、バイポーラ電流と比較して、1桁小さいレベルからほぼ同じレベルに設定することが望ましい。その理由は以下の通りである。

【0183】MOS型トランジスタのオフ電流をバイポーラ電流に対して1桁小さい値から同桁あたりになるように設定するには、MOS型トランジスタの見かけ上のしきい値電圧を下げればよい。「見かけ上のしきい値電圧」は、経験則ではゲート幅 $10\mu\text{m}$ の時にドレイン電流が約1A流れるときのゲート電圧に等しい。ここで、「見かけ上」のしきい値電圧と記述したのは、本来のし

41

きい値電圧がゲート電圧(浅いウェル領域の電位)によって変化するからである。

【0184】図20のグラフには、バイポーラ電流(実施例2、10、11における T_{r3} のバイポーラ電流)を示す直線と、MOS型トランジスタにおけるゲート電圧(V_G)—ドレイン電流(I_D)特性を示す2種類の曲線が示されている。MOS型トランジスタに関する2種類の曲線は、異なる2つのしきい値に対応している。

【0185】ここで、ベース領域(浅いウェル領域)とゲート電極とが短絡されているため、ゲート電圧とベース電圧とは等しい。また、本実施例では、寄生バイポーラを極力抑えているため、その増幅率は約1である。このため、ベース電流とバイポーラ電流は、ほぼ一致している。

【0186】MOS型トランジスタのオフ電流は、ゲート電圧が0Vにおけるドレイン電流のことである。このオフ電流を、使用電源電圧におけるバイポーラ電流に等しいか1桁小さいレベルになるように調整するには、図20に示されるように、MOS型トランジスタの「見かけ上のしきい値電圧」を下げればよい。

【0187】実施例1でも説明しているが、本実施例10、11の半導体装置(トランジスタ素子)を低消費電力素子として使用する場合、バイポーラ電流をいかに抑えるか(増幅機能が無くても最低限PN接合順方向電流が流れる)が鍵となる。このために、現実的には、PN接合のビルトインポテンシャル以下に電源電圧を設定する必要がある。PN接合の順方向電流は、PN接合の順方向にバイアスを与えたときのバイアス値に対して、指数関数的に増大する。従って、バイアス値を小さくすることが好ましく、電源電圧が0.3V~0.6Vあたりで動作する素子を設計することが望ましい。

【0188】整理すると、ベース電流は、電源電圧を下げることにより指数関数的に減少し、ある電源電圧において、MOS型トランジスタ部のオフ電流がベース電流程度(もしくは1桁落ちレベル)になるようにMOS型トランジスタ部の見かけ上にしきい値電圧を設定する。そうすれば、自ずとその電源電圧におけるMOS型トランジスタ部のオン電流が決まる。上記オン電流が次段のゲート容量を決められた時間内に充電するのに(設計値の周波数で回路動作させるために)十分以上の量であれば、もっと電源電圧を下げる。次段のゲート容量を決められた時間内に充電するのに(設計値の周波数で回路動作させるために)不十分の量であれば、電源電圧を上げてやればよい。本設計指針で試作した我々の素子は、電源電圧0.55Vにおいて、ゲート幅1 μm あたりのスタンバイリーク(MOS型トランジスタ部のオフ電流とバイポーラ部のベース電流を加算した電流)が 10^{-10}A オーダーであり、オン電流0.2~0.25mA(NMOS)、0.1~0.13mA(PMOS)を実現しており、見かけ上のしきい値電圧は、0.18Vである。

42

【0189】また、相補型のインバータによって構成したリングオシレータの1段あたりの伝搬遅延時間は、30ピコ秒(psec)であった。

【0190】なお、ゲート酸化膜は3nm、ソース/ドレイン領域の不純物濃度は $1 \times 10^{20}/\text{cm}^3$ 以上、ソース/ドレイン領域の接合深さは0.1 μm (NMOSの場合)から0.15 μm (PMOSの場合)、浅いウェル領域の不純物濃度は $9 \times 10^{16}/\text{cm}^3$ 、その接合深さは0.8~1.0 μm 、分離溝の深さは、1.5~2 μm 、深いウェル領域の不純物濃度は $4 \times 10^{16}/\text{cm}^3$ 、ゲート長は0.15 μm とした。また、深いnウェル領域の電位を V_{DD} 、深いpウェル領域の電位をGNDに固定している。

【0191】(実施例13)実施例8、9では、ゲート電極と浅いウェル領域とをオーミック接続する方法に関して記述した。上記実施例8、9の製造工程を実施例10、11の相補型素子に適用する場合は、実施例8の項でも簡単に説明したように、ソース/ドレイン注入マスクとコンタクト注入マスクを兼用することが出来る。

20 【0192】図21(a)および(b)は、本実施例のコンタクト形成用マスクとソース/ドレイン注入用マスクを兼用した注入マスク(フォトレジストから形成されている)の平面図である。

30 【0193】この注入マスクの開口部は、斜線が施された領域(ドナー不純物注入領域1305およびアクセプタ不純物注入領域1306)に対応している。ここで、1301はフィールド酸化膜領域、1302は溝型素子分離構造、1303はゲート電極となる多結晶シリコン、1304は浅いウェル領域とゲート電極を接続するためのコンタクト孔である。

40 【0194】図21(a)の注入マスクによれば、Pチャネル型のMOS型トランジスタのためのコンタクト注入と、Nチャネル型のMOS型トランジスタのためのソース/ドレイン注入及びゲート電極への注入を1つのマスクで行うことが可能となり、工程簡略化が可能となる。また、同様に、図21(b)の注入マスクによれば、Nチャネル型のMOS型トランジスタのためのコンタクト注入と、Pチャネル型のMOS型トランジスタのためのソース/ドレイン注入及びゲート電極への注入を1つのマスクで行うことが可能となり、工程簡略化が可能となる。

【0195】このような理由で、実施例8、9の製造方法で相補型MOS構造を形成する場合、図21(a)および(b)に示すようなレイアウトパターンを持つ注入マスクを使用することが好ましい。

50 【0196】ここで、実施例8、9と異なるのは、ゲート電極となる多結晶シリコンへの不純物ドーピングが、ソース領域、ドレイン領域形成のための不純物ドーピングと同時にされることである。実施例8、9では、ゲートへの不純物ドーピングがすでに終了されていること

を前提として実施していた。

【0197】ソース/ドレイン領域の上面、及びゲート電極の上面は、実施例8、9の方法で、自己整合的にサリサイド化されるため、トランジスタ寄生抵抗も非常に小さくなる。また、本製造方法では、ゲート電極の領域aのあたりにPN接合が形成されるが、ポリサイド構造のゲート電極のため、問題ない。

【0198】また、Nチャネル型のMOS型トランジスタ側のソース/ドレイン注入(Pチャネル型のMOS型トランジスタ側のコンタクト注入)と、Pチャネル型のMOS型トランジスタ側のソース/ドレイン注入(Nチャネル型のMOS型トランジスタ側のコンタクト注入)のどちらの工程を先に行っても良い。

【0199】しかし、Nチャネル型のMOS型トランジスタ側のソース/ドレイン注入と、Pチャネル型のMOS型トランジスタ側のソース/ドレイン注入の活性化熱処理を同時に行わない場合は、熱処理に対して厳しくない方のイオン種の注入工程を先に行う方がよい。例えば、Nチャネル型のMOS型トランジスタ側のソース/ドレイン注入イオン種として砒素、Pチャネル型のMOS型トランジスタ側のソース/ドレイン注入イオン種としてボロンイオンを使用し、トランジスタの短チャネル効果防止の観点から、ボロンの活性化アニールを抑制したい時(ボロンは、軽いためシリコン中の拡散速度が速い)は、砒素を注入し、アニール(例えば、850℃、30分程度)を行った後、ボロンを注入し、追加アニール(例えば、1000℃、20秒程度)を行えばよい。

【0200】(実施例14)実施例1では、ゲート電極と浅いウェル領域を直接電氣的に接続する場合に関して説明した。実施例1の半導体装置において、寄生バイポーラ効果が無視できるほど小さい場合、その等価回路は、図22(a)及び(b)に示すようになる。図22(a)はNチャネル型のMOS型トランジスタの場合、図22(b)はPチャネル型のMOS型トランジスタの場合を示している。

【0201】図示されるように、浅いウェル領域とソース/ドレイン領域、深いウェル領域と浅いウェル領域との間に、PN接合が形成される。これらのPN接合が順方向にバイアスされる状態となったとき、実施例1について説明したように、PN接合に順方向電流が流れる。これを防ぐためには、ウェル領域の電位がビルトインポテンシャルに対して0.1~0.3V程度低い電位となるように、電源電圧を設定することが望ましい(実施例12の説明参照)。従って、ゲート電極と浅いウェル領域とを直接に電氣的に接続する場合は、実質的に使用できる電源電圧は、0.6V以下程度となる。

【0202】本実施例では、電源電圧に制限を設けることなく使用する方法に関して説明する。図22(c)及び(d)は、それぞれ、ゲート電極と浅いウェル領域との間に、nチャネルトランジスタTrn2及びpチャ

ネルトランジスタTrp2を配置した実施例を示している。

【0203】ここで、トランジスタTrn2のゲート電位を、GNDを基準として $V_{spwellMAX} + V_{thn2}$ に固定すれば、ゲート電位(V_G)がいくらになろうとも、深いウェル領域には、最大 $V_{spwellMAX}$ までしか電圧は印可されない。

【0204】同様に、トランジスタTrp2の場合、そのゲート電位を、GNDを基準として $V_{snwellMIN} + V_{thp2}$ に固定すれば、ゲート電位(V_G)がいくらになろうとも、深いウェル領域には、最大 $V_{snwellMIN} + V_{thp2}$ までしか電圧は印可されない。

【0205】トランジスタTrn1及びTrp1のゲート電極の電位に対する浅いpウェル領域の電位(V_{spwell})及び浅いnウェル領域の電位(V_{snwell})の関係を図23(a)及び(b)に示す。

【0206】ここで、 $V_{spwellMAX}$ は浅いpウェル領域に印可される最大電位、 $V_{snwellMIN}$ は浅いnウェル領域に印可される最小電位、 V_{thn2} はTrn2のしきい値電圧、 V_{thp2} はTrp2のしきい値電圧である。

【0207】具体的な数値で説明すると、トランジスタTrn2のソース領域の電位がGND、トランジスタTrp2のソース領域の電位が3V(電源電圧)の時、順方向リークを抑えるため、 $V_{spwellMAX}$ を0.6V、 $V_{snwellMIN}$ を2.4Vに設定するとする。その場合、例えば、トランジスタTrn2のしきい値電圧が0.4V、トランジスタTrp2のしきい値電圧が0.4Vであるならば、トランジスタTrn2のゲート電圧を1V、トランジスタTrp2のゲート電圧は2Vに設定すればよい。

【0208】以上の方法によって、電源電圧をいくらに設定しようとも、浅いウェル領域の電位の最大値(最小値)を任意に設定することが可能となり、電源電圧の制限を回避することが可能となる。

【0209】(実施例15)実施例14では、寄生バイポーラ効果が無視できるほど小さい場合の等価回路に関して、電源電圧に制限を設けることなく使用する方法について説明した。図24及び図25を参照しながら、寄生バイポーラトランジスタを考慮した場合の実施例に関して説明する。図24及び図25は、寄生バイポーラを考慮した場合の等価回路を示している。

【0210】図24は、nチャネルトランジスタ及びnpn型バイポーラによって半導体装置が構成される場合を示し、図25は、pチャネルトランジスタ及びpnp型バイポーラによって半導体装置が構成される場合を示している。

【0211】NMOS2及びPNOS2の役割は、実施例14のTrn1(nチャネルトランジスタ)もしくは、Trp1(pチャネルトランジスタ)と同じである

45

ため基本動作に関しては省略する。

【0212】このように寄生バイポーラトランジスタが無視できないような場合でもベース電流をNMOS2及びPNOS2のゲート電圧により任意に設計できるため、実施例2と比べ設計の自由度が増すという利点がある。

【0213】(実施例16) 実施例14、15においては、浅いウェル領域の電位の最大値(最小値)を任意に設定する構成に関して記述した。しかし、入力状態(ゲート電位)がHighの状態でスタンバイ状態となったときのNチャネル型のMOS型トランジスタ側、あるいは、Lowの状態でのスタンバイ状態となったときのPチャネル型のMOS型トランジスタ側でPN接合順方向電流が流れ続けることは、実施例14、15では解決出来ていない。

【0214】本実施例では、入力値がHigh→LowもしくはLow→Highに変化したときに出力値をLow→HighもしくはHigh→Lowに変化させる期間だけ、PN接合順方向電流が流れ、スタンバイ状態では流れない(PN接合順方向バイアスされない)構成を説明する。

【0215】図26に示すように、実施例1におけるMOS型トランジスタ(本実施例においてNMOS1とする)のゲート電極を、NMOS1と同タイプの第2のMOS型トランジスタ(本実施例においてNMOS2とする)のソース及びドレイン領域を介して、NMOS1の浅いウェル領域と接続し、上記NMOS2のゲート電極をNMOS1のドレインと接続すれば、入力の変化に対して出力が変化する時のみ、PN接合順方向電流が流れ、スタンバイ状態では流れない。

【0216】図27に示すように、pチャネルでも全く同じで、実施例1におけるMOS型トランジスタ(本実施例においてPMOS1とする)のゲート電極を、PMOS1と同タイプの第2のMOS型トランジスタ(本実施例においてPMOS2とする)のソース領域、ドレインを介して、PMOS1の浅いウェル領域と接続し、上記PMOS2のゲート電極を、PMOS1のドレイン領域と接続すれば入力の変化に対して出力が変化する時のみPN接合順方向電流が流れスタンバイ状態では流れない。

【0217】nチャネルトランジスタを例として、動作原理を説明する。最初ノードG(NMOS1のゲート電位であり入力電位)がLow固定でスタンバイ状態にあるとする。このときノードD(NMOS1のドレイン電位であり出力電位)は、High状態であるため、NMOS2は、オン状態であり、ノードsp(浅いウェル領域の電位)がノードGと同電位となりLow固定となっているため、ノードsp(Low)-ノードS(Low)間同電位、ノードsp(Low)-ノードD(High)間逆バイアス、ノードsp(Low)-ノードVDnwell

46

(Lowまたは、High)間同電位、または、逆バイアス状態となり、PN接合順方向電流は流れない。ここで、ノードGがLowからHighに変わり再びスタンバイ状態になった時を考える。まず、ノードGがLowからHighに変わった瞬間はノードDは、High状態であるから、NMOS2はオンのままである。そこで、ノードspの電位が、ノードGがLowからHighに変化するにつれて同じようにLowからHighに変化する。ノードG及びノードspが同じようにLowからHighに変化するため、NMOS1の動作は、実施例1と同様の動作となり、ノードGの電位に従ってダイナミックにしきい値が変化する。ここで、NMOS1がオン状態となるため、ノードSからノードDに向け電子が供給され、ノードDの電位が次第にLowに近づく。ノードDの電位がNMOS2のしきい値電圧以下に下がった時点でオフとなり、ノードspは、フローティング状態となり、ノードspに対して電荷の供給源が遮断され(厳密には、NMOS2のオフ電流分の電荷供給はある)、スタンバイ状態でPN接合順方向電流が流れ続けることはない(厳密には、NMOS2のオフ電流分の電流は流れる)。ノードspがフローティング状態となった最初は、ノードS(接地)、に対してノードspの電位はまだ高く、NMOS1に対する基板バイアス効果はまだ残る。ノードS(接地)、ノードD(Low)、及び深いウェル領域(V_{dnwell} が接地の場合)に対してフローティング状態のノードspは順方向バイアスのため、時間経過とともにノードspの電荷が徐々に抜け、ノードspの電位は、Low(GND)に近づく。

【0218】つまり入力(ノードG)が、Highでスタンバイ状態であっても、Lowでスタンバイ状態になろうともPN接合順方向電流は、流れなくなる。

【0219】また、ノードGの電位がLowからHighに変わるとき、ノードspの最大電位は、NMOS2のしきい値電圧を V_{thn2} 、ノードDの電位をVDとしたときに、 $VD - V_{thn2}$ となる。つまり、 V_{thn2} の設定次第でノードspの最大電位は確定する。

【0220】pチャネル型でも全く同じ動作原理であるため、説明は省略する。

【0221】(実施例17) 実施例16では、寄生バイポーラ効果が無視できるほど小さい場合の等価回路に関して、電源電圧に制限を設けることなく使用する方法について説明したが、実際には、ベース幅(浅いウェル領域の深さからソース/ドレイン領域の深さを引いた値)によるが、ビルトインポテンシャル以上の電源電圧を使用する場合、バイポーラ電流が支配的になる可能性が高い。本実施例では、バイポーラを考慮した場合に関して説明する。バイポーラを考慮した場合の等価回路は、図28及び図29になる。

【0222】図28では、nチャネルトランジスタ、及

47

びnpn型バイポーラで記述している。図29では、pチャネルトランジスタ、及びpnp型バイポーラで記述している。NMOS2及びPNOS2の役割は、実施例16のNMOS2及びPNOS2と同じであるため基本動作に関しては省略する。

【0223】このように寄生バイポーラトランジスタが無視できない場合でもスタンバイ状態でベース電流を遮断出来るような、(実際には、NMOS2及びPNOS2のオフ電流分は流れる)バイポーラトランジスタとMOS型トランジスタの混合素子を形成することが出来る。

【0224】本実施例をビルトインポテンシャル程度以下の電源電圧(実際には、ベース電位(浅いウェル領域の電位)とソース領域、ドレインの電位の差の最大値がビルトインポテンシャル以下となるような電源電圧:ベース電位と電源電圧の関係は、 $V_B = V_D - V_{th2}$; V_B :ノードspもしくはノードSnでのベース電位、 V_D :ノードDでの出力電位、 V_{th2} :NMOS2もしくはPNOS2のしきい値電圧)で使用了場合MOS型トランジスタの電流が素子動作に対して支配的となり、ビルトインポテンシャル程度以上の電源電圧(実際には、ベース電位すなわち、浅いウェル領域の電位)とソース/ドレイン領域との間の電位差の最大値がビルトインポテンシャル以上となるような電源電圧)で使用了場合、バイポーラ電流が支配的となる。バイポーラ電流が支配的となる条件で使用するには、深いウェル領域の電位である V_{dnwell} (図28)或いは V_{dpwell} (図29)を $V_{dnwell} = GND$ 、 $V_{dpwell} = V_{DD}$ (電源電圧)にする必要がある(つまり深いウェル領域をNPN3及びPNP3のエミッタとして使う)。

【0225】以上まとめると、低電源電圧側では、低電圧で高駆動力なMOS型トランジスタとなり、高電源電圧側では、スタンバイ状態でベース電流の流れないバイポーラとなる。

【0226】(実施例18)実施例14~17では、実施例1、2の素子に関して、電源電圧の制限をなくす構成及びスタンバイ状態でのPN接合順方向電流を抑制する構成を説明した。このような構成が、トランジスタの追加によって実現できることを等価回路を用いて説明した。

【0227】図22(c)のNMOS1、図22(d)のPMOS1、第15-1図のNMOS1、図25のPMOS1、図26のNMOS1、図27のPMOS1、図28のNMOS1、図29のPMOS1等の構造は、実施例1、2で示した様なスイッチング素子の構造であって、隣接する浅いウェル領域間の分離は、実施例3の様な溝型分離構造で分離されていることが望ましい。上記溝型分離構造を形成することにより、トランジスタの間隔を縮小することが可能となり、高集積化が可能となる。

48

【0228】(実施例19)実施例14~17では、実施例1、2の素子において、電源電圧の制限をなくす方法及び、スタンバイ状態でのPN接合順方向電流を抑制する方法に関して、トランジスタを追加することにより可能であることを等価回路を用いて説明した。しかしながら、上記説明は、相補型ではなく、MOS型トランジスタ部がオン状態で常に貫通電流が流れることになる。特に実施例16、17では、PN接合順方向電流(バイポーラ電流)をスタンバイ状態時に無くしたとしても、入力High状態でスタンバイ状態になった時のNMOS型トランジスタ側、もしくは、入力Low状態でスタンバイ状態になった時のPNOS側で貫通電流が流れ続けるため、低消費電力化には向いていない。そこで本実施例では、実施例14~17の素子を相補型で形成したときに関して説明する。

【0229】図30~図33は、実施例14~17の素子を相補型で形成したときの回路図である。個々のトランジスタの動作に関しては、実施例14~17で説明しているので省略する。

【0230】実施例14、15の素子を相補型にした場合、実施例10の相補型素子に対して電源電圧の制限を無くすることが可能となる。しかし、実施例10と同じ課題がある。つまり、PN接合順方向電流が、常に流れ続けることである。スタンバイ状態で入力値は、High(電源電圧)もしくは、Low(GND)に固定されており、Pチャネル型のMOS型トランジスタ側の寄生バイポーラ(図31における、PNPTr1、PNPTr2、PNPTr3)もしくは、Nチャネル型のMOS型トランジスタ側の寄生バイポーラ(図31における、NPNTTr1、NPNTTr2、NPNTTr3)のどちらか一方が必ずON状態となる。このため、寄生バイポーラ電流が流れ続ける。なお、寄生バイポーラ電流が無視できる状態でも、PN接合順方向電流(浅いウェル領域とソース領域、ドレイン、及びバイアスによっては深いウェル領域との間に流れるPN接合順方向電流)は流れ続ける。このため、設計上の方針として、寄生バイポーラの能力を極力小さくし、コレクタ電流がベース電流とほぼ等しくなる(つまり寄生バイポーラがほぼ無視できる)ように、浅いウェル領域濃度、深さ、深いウェル領域濃度を設定する。そうして、コレクタ電流=ベース電流=PN接合順方向電流となる条件の下で、実施例12で示したように、トランジスタのオフ電流がPN接合順方向電流と等しくなるようにMOS型トランジスタのしきい値電圧を設定すればよい。

【0231】実施例16、17の素子を相補型にした場合、実施例16、17で説明したようにスタンバイ状態で寄生バイポーラは、オフとなる(スタンバイ状態でベースはフローティング)。しかし、深いpウェル領域と深いnウェル領域のダイオード接続に対し順方向電流を防止するためには、深いpウェル領域と深いnウェル領

域を同電位（例えば $1/2V_{DD}$:電源電圧の半分）もしくは、深いnウェル領域を V_{DD} 、深いpウェル領域をGNDに固定する必要がある。この場合実施例2で説明したように寄生バイポーラPNPTr3、NPNTTr3がトランジスタの動作を妨げる方向に動作するため、ベース幅を長くし（浅いウェル領域を深くし:ベース幅200nm以上）、且つベース濃度を薄く（浅いウェル領域濃度: $2 \times 10^{17}/\text{cm}^3$ 以下）して寄生バイポーラトランジスタ能力をMOS型トランジスタの動作に対して無視できるほど（実施例1の様に）極力低下させれば良い。

【0232】逆に、深いウェル領域の電位に関して、深いnウェル領域をGND、深いpウェル領域を V_{DD} （電源電圧）に固定した場合、実施例2の表1に記載したとおり、MOS型トランジスタに対しては、寄生バイポーラトランジスタがMOS型トランジスタを助ける方向に動作するため有効であるが、深いpウェル領域と深いnウェル領域のダイオード接続に対し順方向のバイアスとなるため、いくらスタンバイ状態のバイポーラをオフにしても、深いウェル領域間で常に順方向電流が流れ続けることになるため、実施例11の様な、以降に示す実施例20、21の回路及び構造にするのが良い。

【0233】（実施例20）実施例19において、実施例16、17のバイポーラトランジスタを積極的に能動素子として活用する場合、深いnウェル領域をGND、深いpウェル領域を V_{DD} （電源電圧）に固定すればよいことを説明した。つまり、NPNTTr3のバイポーラトランジスタの深いウェル領域（n型）をエミッタとし、エミッタ接地とし、PNPTr3のバイポーラトランジスタの深いウェル領域（P型）をエミッタとし、エミッタを電源電圧とすればよい。この場合、前述したように深いウェル領域間で常に順方向電流が流れ続けることになるため、深いウェル領域間を分離する必要がある。つまり、深いウェル領域よりも更に深いウェル領域を形成し、n型の深いウェル領域はp型の更に深いウェル領域内に、p型の深いウェル領域は、n型の更に深いウェル領域内に形成し、深いウェル領域と更に深いウェル領域を同電位にすればよい。このように形成することによって、深いウェル領域間がPN逆方向バイアスとなり、順方向電流は流れなくなる。図34にその回路図を示す。本実施例の相補型素子では、電源電圧に制限はなく、アクティブ状態の駆動電流は、MOS型トランジスタのドレイン電流とバイポーラ電流との加算電流となり、且つ、スタンバイ状態のリークは、NMOS1、NMOS2、PMOS1、PMOS2のオフ電流のみによって決まる。

【0234】つまり、電源電圧をビルトインポテンシャル付近以下で使用するときは、通常のCMOSでは、駆動電流が小さくスピードが遅すぎて使用に耐えられないが本実施例によれば、超低消費電力回路を構成するこ

とが可能となる。ビルトインポテンシャル以上で使用するなら、消費電力がCMOS回路なみでスピードがバイポーラ回路なみの超高速低消費電力回路を構成することが可能となる。

【0235】（実施例21）実施例20のNMOS1とPMOS1の深いウェル領域を分離するためには、実施例11に関する図18に示す構造と同様の構造で、NMOS1とPMOS1を形成すればよい。言い換えると、「深いウェル領域」よりも深く、「更に深いウェル領域」よりも浅い溝型分離構造で分離すればよい。

【0236】（実施例22）前述したように、浅いウェル領域にたいしてソース/ドレイン領域に順方向バイアスが印加されるため、浅いウェル領域とソース/ドレイン領域との間にビルトインポテンシャル以上の電界をかけた場合、好ましくないリーク電流（順方向電流）が浅いウェル領域とソース/ドレイン領域との間を流れる。

【0237】このビルトインポテンシャルの大きさは、物質によって決まっており、シリコンの場合、室温で0.9V前後である。そこで、PN接合順方向電流を抑制するためには、ビルトインポテンシャルを大きくすればよい。その1つの方法としてソース/ドレイン領域と浅いウェル領域との接合部に、炭素もしくは窒素不純物を導入させる方法がある。

【0238】本実施例では、ソース/ドレイン領域と浅いウェル領域との接合部に注入投影飛程（Rpセンター）が位置するような加速エネルギーで、 $1 \times 10^{14} \sim 1 \times 10^{16}/\text{cm}^2$ 程度の不純物イオンを注入した。本イオン注入により、接合付近にSi-C、Si-Nが形成され、その結果、ビルトインポテンシャルが高くなる。

【0239】（実施例23）実施例14～17では、実施例1、2の素子において、電源電圧の制限をなくす方法及び、スタンバイ状態でのPN接合順方向電流を抑制する方法に関して、トランジスタを追加することにより可能であることを等価回路を用いて説明した。また、実施例19～20では、相補型で構成したときの場合で説明した。

【0240】図35～図36を参照しながら、スタンバイ時のリーク電流を抑制する他の構成を持った実施例を説明する。

【0241】本実施例では、図35～図36に示すように、単位回路ブロック（図35）ごとに、もしくは、単位回路ブロックの集合体（図36）ごとに、電源電圧遮断回路及び/またはGND線遮断回路を設けている。回路ブロックをアクティブ状態にする時のみ、回路ブロックに電源が供給されるようにしている。遮断回路の動作はスリープ信号によって制御される。こうすることによって、スタンバイ時のリークを低減することが可能となる。

【0242】（実施例24）本実施例では、溝型分離構造及びフィールド酸化膜と浅いウェル領域の関係に関し

51

て説明する。

【0243】図37(a)～(d)は、本実施例の工程順断面図である。

【0244】ここで、2401半導体基板、2402深いnウェル領域、2403深いpウェル領域、2404溝型分離構造、2405フィールド酸化膜領域、2406イオン注入保護膜、2407フォトリソ、2408ドナー不純物注入、2409フォトリソ、2410アクセプタ不純物、2411浅いnウェル領域、2412浅いpウェル領域である。

【0245】まず、図37(a)に示すように、半導体基板2401に深いnウェル領域2402、深いpウェル領域2403、溝型分離構造2404、フィールド酸化膜領域2405を形成する。ここで、深いnウェル領域2402、及び深いpウェル領域2403の深さは、2～4μm程度であり、不純物濃度は、 $1 \times 10^{16} / \text{cm}^3$ ～ $1 \times 10^{17} / \text{cm}^3$ 程度に設定している。また、溝型素子分離構造は、1～2μmの深さに形成している。フィールド酸化膜厚は、200～600nm程度である。

【0246】次に、図37(b)及び(c)に示すように、フォトリソ2407、2409をマスクとして、イオン注入を行い、ドナー2408を深いpウェル領域に注入し、アクセプタ2410を深いnウェル領域に注入する。注入の順番は、どちらからでも良い。このとき、フォトリソ2407、2409に多少位置合わせズレが起ころうともフィールド酸化膜2405によって、フィールド酸化膜2405下に不純物イオンが注入されることを防ぐことが可能となる。

【0247】次に、図37(d)に示すように、ドライブアニールを行うことにより、浅いnウェル領域2411及び浅いpウェル領域2412を形成する。ここで、浅いnウェル領域2411及び浅いpウェル領域2412の深さは、溝型分離構造よりも浅く、0.5～1.0μm程度で、その濃度は、 $5 \times 10^{16} / \text{cm}^3$ ～ $1 \times 10^{18} / \text{cm}^3$ 程度に設定した。

【0248】本実施例のように溝型分離構造及びフィールド酸化膜を形成した後に浅いウェル領域を形成することにより、浅いnウェル領域と深いnウェル領域、及び、浅いpウェル領域と深いpウェル領域、をフィールド酸化膜によって、自己整合的に分離することが可能となる。

【0249】ただし、本実施例の製造方法は、実施例4における図8(d)の様に、ゲート電極と浅いウェル領域との間りコンタクト領域の回りに、フィールド酸化膜が延びている構造は、フィールド酸化後にイオン注入を行うため、適用しにくい。また、適用しても本実施例の効果は得られない。なぜならば、チャネル領域下の浅いウェル領域とゲートー浅いウェル領域間コンタクト領域下の浅いウェル領域を導通させるためには、フィールド酸化膜を突き抜けるほどの高エネルギー注入が必要だか

52

らである。この場合フィールド酸化膜によって、自己整合的に分離することが不可能となるからである。

【0250】(実施例25)図38は、本発明による溝型素子分離構造の断面図である。図39(a)は、図38におけるA部の拡大図である。

【0251】図39(b)は、溝型分離構造を形成した従来例を示している。この従来例では、半導体基板2511に溝を形成した後にシリコン酸化膜2512で溝を埋め込み、化学的機械研磨(CMP)法により溝部のみにシリコン酸化膜2512を残している。半導体基板の活性領域にはゲート絶縁膜2505が形成されている。

【0252】図38に示すように、本実施例の溝型素子分離構造では、溝内壁にシリコン酸化膜2502が形成されているが、シリコン酸化膜2502は溝の内部を完全には埋めていない。溝の内部は多結晶シリコン膜2503で埋め込まれている。半導体2501の表面の活性領域には、薄いゲート絶縁膜2505が形成されているが、不活性領域(フィールド領域)には、比較的に厚いフィールド酸化膜2504が形成されている。このフィールド酸化膜2504は、溝の上にも存在している。フィールド酸化膜2504は、居所熱酸化によって形成されており、フィールド酸化膜2504の端部には、バースビーク(bird's beak)が形成される。そのため、本実施例においては、溝開口部のエッジは尖っていない。

【0253】このため、図39(a)に示されるように、溝開口部のエッジ(A')部で電界集中が起こらず、エッジ部でのリーク電流の増大を防ぐことが可能となる。これに対して、従来のCMP法で形成された溝型分離は、図39(b)に示されるように、溝開口部のエッジ(B)部が尖っている。このため、エッジ(B)部で電界が集中し、この部分でのリーク電流が増大する。

【0254】なお、上記溝型素子分離構造は、図1のしきい値が動的に変化するトランジスタの分離に有効であるばかりではなく、通常のトランジスタの分離にも有効である。

【0255】図51は、通常のMOS型トランジスタのゲート電極と溝型素子分離構造とがオーバーラップする配置関係を示している。このような配置関係では、トランジスタ特性に影響が出る場合がある。

【0256】図52(a)及び(b)は、図51のA-A線断面図にである。

【0257】従来の製造方法では、ゲート絶縁膜の形成工程の前に行うフッ酸洗浄処理によって、溝エッジ部での埋め込み酸化膜がエッチングされやすい。このため、溝エッジ部にくびれが生じやすい。図52(a)は、このような「くびれ」が生じた様子を示している。溝エッジ部分での電界集中によって、図53(a)に示されるように、MOS型トランジスタのサブスレショルド特性曲線にキンク(Kink)が生じる。

【0258】本発明にかかる溝型素子分離構造を採用す

53

れば、図52(b)に示すように、溝エッジ部分が丸くなり、その部分での電界集中が緩和される。このため、このような溝型素子分離構造を持つMOS型トランジスタによれば、図53(b)に示すようにサブスレショルド特性曲線にキंकは生じない。図53(a)及び(b)は、それぞれ、図52(a)及び(b)のトランジスタにおけるドレイン電流のゲート電圧依存性を示している。なお、図53の(a)及び(b)のグラフは、ソース電圧を0V、ドレイン電圧を0.1Vとして測定した結果に基づいて作成されている。

【0259】(実施例26) 図40は、実施例3の半導体装置を図38の溝型分離構造を用いて分離するときの溝型分離構造2603と、浅いウェル領域2602と深いウェル領域2601の関係を示した断面図である。ここで、浅いウェル領域2602の濃度は、 $5 \times 10^{16} \sim 1 \times 10^{18} / \text{cm}^3$ 程度であり、深いウェル領域の濃度は $1 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ 程度のため、空乏層幅が大きくなる(数百ナノメートル程度)。このため、浅いウェル領域2602と深いウェル領域2601との間に形成される接合部と溝底部との間の距離dが短い場合、隣接する浅いウェル領域間でパンチスルーが生じるおそれがある。このため、溝底部に深いウェル領域と同導電型の不純物を高い濃度で拡散した領域2604を設けることが好ましい。本実施例では、この領域2604の不純物濃度を $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ の程度の範囲内に設定した。

【0260】浅いウェル領域と深いウェル領域と溝型分離構造の関係を説明しているが、これに限るものではない。例えば、浅いウェル領域内に形成された隣接するトランジスタのソース/ドレイン領域間を分離する場合にも適用できる。この場合、浅いウェル領域2602は、ソース領/ドレイン領域に置き換わり、深いウェル領域2601は浅いウェル領域に置き換えられる。

【0261】(実施例27) 図41(a)～(h)を参照しながら、本発明による溝型分離構造の形成工程の実施例を説明する。

【0262】まず、図41(a)に示すように、半導体基板2701にシリコン酸化膜2702(本実施例では、厚さ10～20nm)及びシリコン窒化膜2703(本実施例では、厚さ100～200nm)を順次形成する。

【0263】次に、図41(b)に示すように、フォトリソグラフィ及びエッチング技術を用いて、溝型分離構造を形成すべき領域2704に位置するシリコン窒化膜2703及びシリコン酸化膜2702を選択的に除去し、半導体基板2701の表面を部分的に露出させる。露出領域の幅は、本実施例では、0.1～0.3μmとする。

【0264】次に、図41(c)に示すように、シリコン窒化膜2703をマスクとして、シリコン基板270

54

1をエッチングし、半導体基板2701に溝2705を形成した後、溝2705の内壁を酸化雰囲気により酸化する。本実施例では、約1～2μmの深さの溝を形成した後、約10～50nm程度のシリコン酸化膜2706を溝2705内壁に形成した。

【0265】次に、図41(d)に示すように、多結晶シリコン膜2707(本実施例では、200nm～600nm程度堆積した)を堆積し、溝2705を多結晶シリコン膜2707で埋め込む。

10 【0266】次に、図41(e)に示すように、多結晶シリコン膜2707をエッチバックし、溝2705内にみに多結晶シリコン膜2707を残す。

【0267】次に、図41(f)に示すように、活性領域(素子形成領域)2708以外のフィールド領域2709にフィールド酸化膜を形成するために、活性領域2708以外のシリコン窒化膜2703をフォトリソグラフィ工程を経てエッチング除去する。このとき溝型分離構造2704上のシリコン窒化膜2703は、すでに無く、フィールド酸化膜を形成するためのフォトリソグラフィ工程の位置合わせマージンは、溝型領域2704の幅だけとすることが可能となる。

【0268】次に、図41(g)に示すように、活性領域2708上のシリコン窒化膜2703をマスクとして酸化し、フィールド酸化膜2710を形成する。本実施例では、約200nm～400nmの酸化膜を形成した。この時、シリコン窒化膜2703表面も酸化され、シリコン酸化膜2711が形成される。

【0269】次に、図41(h)に示すように、フィールド酸化工程により形成された、シリコン窒化膜2703表面のシリコン酸化膜2711及び活性領域上のシリコン窒化膜2703を除去する。

【0270】本実施例により、フィールド酸化膜と溝型分離の位置合わせズレが無く(溝型分離構造の幅だけ位置合わせマージンがある)且つ、同時に形成できるため、工程簡略化が可能となる。また、溝型分離構造形成において、最も問題となる溝エッジでのリークに関し、本方法では、溝エッジ部Aにバースピークが形成され、リーク電流が抑制される。

【0271】(実施例28) 図42(a)～(e)を参照しながら、本発明による溝型分離構造形成工程の他の実施例を説明する。

【0272】まず、図42(a)に示すように、実施例27の第27図(e)の工程まで同様の方法で形成する。ここで、2801は半導体基板、2802はシリコン酸化膜、2803はシリコン窒化膜、2804は溝型分離構造、2805は溝、2806はシリコン酸化膜、2807は多結晶シリコン膜を示している。

【0273】次に、図42(b)に示すようにシリコン窒化膜2808を堆積する。本実施例では、約1～5nmの膜厚を堆積した。

55

【0274】次に、図42(c)に示すように、活性領域(素子形成領域)2809以外のフィールド領域2810にフィールド酸化膜を形成するために、活性領域2809以外のシリコン窒化膜2808及び2803をフォトリソグラフィ工程を経てエッチング除去する。このとき溝型分離構造2804上のシリコン窒化膜2808を溝型分離構造2804上に、図に示すように半分程度残すように加工するのが良い。

【0275】次に、図42(d)に示すように、活性領域2809上のシリコン窒化膜2803、2808をマスクとして酸化し、フィールド酸化膜2811を形成する。本実施例では、約200nm~400nmの酸化膜を形成した。この時、シリコン窒化膜2808は非常に薄いので、すべてシリコン酸化膜2812に変化し、更に、溝2805内に埋め込まれた多結晶シリコン膜2807表面も酸化される。

【0276】次に、図42(e)に示すように、シリコン窒化膜2803上のシリコン酸化膜2812、活性領域上のシリコン窒化膜2803を除去する。

【0277】本実施例により、実施例27と比べ、溝エッジ部Bのバースピークを少なくすることが可能となり、設計寸法に近い溝型素子分離幅が得られる。

【0278】図43は、本実施例の溝型分離構造の形成方法を第3の実施例の素子に適用したものである。図44は、第27の実施例の溝型分離構造の形成方法を第3の実施例の素子に適用したものである。

【0279】ここで、28001、28101は半導体基板、28002、28102は深いウェル領域、28003、28103は溝型素子分離構造、28004、28104は浅いウェル領域、28005、28105はゲート電極、28006、28106はソース/ドレイン領域、28007、28107は高融点シリサイド膜を示している。

【0280】本実施例では、溝型分離構造の両側が活性領域の場合、溝型分離構造の溝を埋め込んでいる多結晶シリコン膜2807の表面は、フィールド酸化工程の前の状態で薄いシリコン窒化膜2808によりカバーされている。このため、フィールド酸化時に多結晶シリコン膜2807が酸化されるのが抑制され、(シリコン窒化膜2808がすべて酸化されシリコン酸化膜2812に変化するまで多結晶シリコン膜2807は酸化されない)多結晶シリコン膜上のシリコン酸化膜厚bは薄くなり、段差が軽減されゲート多結晶シリコン膜加工時のオーバーエッチング量を軽減させることが可能となる。

【0281】また、多結晶シリコン膜の酸化量も少ないため、バースピークも抑制され、設計寸法に近い活性領域の面積を確保することが可能となる(寸法aを設計値に近づけることが出来る)。特に、最小加工寸法が小さくなり、ゲート酸化膜が薄くなるほど有利となる。本実施例は、ゲート幅、溝型分離幅とも設計寸法0.18μm

56

mであり、溝深さは、1μmで形成したものである。

【0282】第27の実施例を適用した場合、フィールド酸化前の状態では、多結晶シリコン膜が露出しているため、多結晶シリコン上のシリコン酸化膜厚b'は厚くなり、段差は大きくなる。また、バースピークも大きくなる。しかし、本実施例に対し、第27の実施例では工程が簡略である。

【0283】(実施例29)図47(a)~(f)は、本発明の請求項32、35、36における溝型分離構造とフィールド酸化膜の形成における工程順断面図である。

【0284】実施例27、28において、溝内に多結晶シリコン膜を埋め込むためにエッチバックを行った。エッチバックは、Cl₂、O₂、HBr、及びSF₆等のガスによりエッチングを行っているが、エッチング残差を無くすため、オーバーエッチングを行う必要がある。

【0285】このとき、オーバーエッチング量が多い場合には、図45(a)及び(b)(実施例27の場合)、図46(a)及び(b)(実施例28の場合)の様になり、溝開口部に対して、多結晶シリコン膜が後退することになる。この状態でフィールド酸化工程を行った場合溝側壁が相当酸化され、図45(b)(実施例27の場合)、図46(b)(実施例28の場合)の様な形状になり、溝型素子分離構造の幅が設計寸法と大きく異なる上に段差がひどくなり、後のゲート加工の工程の時に多結晶シリコン膜残りが発生する。ここで、29101、29201半導体基板、29102、29104、29106、29202、29204、29207、シリコン酸化膜、29103、29203、29206シリコン窒化膜、29105、29205多結晶シリコン膜、29107、29208フィールド酸化膜である。オーバーエッチング量にマージンを持たすためには、図47(d)のように、高さdを高くすればよい。

【0286】以降に工程順に詳しく説明するまず、図47(a)に示すように、半導体基板2901にシリコン酸化膜2902(本実施例では、10~20nm)及びシリコン窒化膜2903(本実施例では、100~200nm)、シリコン酸化膜2904(本実施例では30~150nm堆積しており、50~70nmの膜厚であればなお良い)、を順次形成する。

【0287】次に、図47(b)に示すように、フォトリソグラフィ工程を経て、所望の溝型分離構造2905(本実施例では、幅0.1~0.3μm)のシリコン酸化膜2904、シリコン窒化膜2903、シリコン酸化膜2902をエッチングする。

【0288】次に、図47(c)に示すように、シリコン窒化膜2903をマスクとして、シリコン基板2901をエッチングし、溝型分離構造2904に溝2906を形成した後、上記溝2906内壁を酸化雰囲気により酸化する。本実施例では、約1~2μmの深さの溝を形

57

成し、約20~100nm程度のシリコン酸化膜2907を上記溝2905内壁に形成した。

【0289】次に、図47(d)に示すように、多結晶シリコン膜2908(本実施例では、200nm~600nm程度堆積した)を堆積し、溝2906を多結晶シリコン膜2908で埋め込む。

【0290】次に、図47(e)に示すように、多結晶シリコン膜2908をエッチバックし、溝2906内のみが多結晶シリコン膜2908を残す。このとき、シリコン酸化膜と多結晶シリコン膜のエッチング選択比にもよるが、多結晶シリコン膜エッチバック時にシリコン酸化膜2904は薄くなる。

【0291】オーバーエッチングの量にもよるが、シリコン酸化膜2904の膜圧が厚すぎれば、フィールド酸化後の凸段差が大きくなり、薄すぎれば、フィールド酸化後の凹段差が大きくなる。エッチバック後の多結晶シリコン膜表面の高さは、シリコン基板表面(A)から、100nm上方(B)程度の範囲内に入ればよい。

【0292】次に、図47(f)に示すように、シリコン窒化膜2903表面のシリコン酸化膜2904をエッチング除去した後、フォトリソグラフィ工程により活性領域部2909をマスクして、フィールド領域2910のシリコン窒化膜2903を除去する。後は、第29、もしくは第28の実施例の方法と同様の工程を経て所望の溝型素子分離構造を形成する。

【0293】エッチバックが高精度であり、シリコン酸化膜2904が無くてもエッチバック後の多結晶シリコン膜表面の高さが、シリコン基板表面(A)から、100nm上方(B)程度の範囲内に入るのであれば、第29、もしくは第28の実施例の方法を行う方が工程簡略であるため、なお良い。

【0294】(実施例30)上記説明した本実施例では、図47(f)に示すように、上記シリコン酸化膜2904を全面除去した後フォトリソグラフィ工程を経てフィールド領域部のシリコン窒化膜2903をエッチング除去している。この場合、溝開口部の領域のシリコン酸化膜2907もシリコン酸化膜2904エッチング時にエッチングされる。このため、フィールド酸化時に酸素の拡散がシリコンまで到達時間が早く、結果としてバースピークが大きくなる。

【0295】以上の点に関し、図48(a)~(d)を参照しながら詳しく説明する。

【0296】実施例29では、図48(a)に示すように多結晶シリコン膜30106をエッチバックした後、図48(b)に示す様に多結晶シリコン膜30104を全面エッチングしている。このため、溝開口部A領域の領域のシリコン酸化膜30105もシリコン酸化膜30104エッチング時にエッチングされ薄くなる。この状態でフォトリソグラフィ工程を経てフォトレジスト30107をマスクとしてフィールド領域のシリコン窒化

58

膜30103をエッチング除去(図48(c)参照)している。このため、フィールド酸化後の形状は図48(d)に示すようにバースピークがやや大きくなる。

【0297】本実施例では、バースピークを抑える方法に関し説明する。

【0298】実施例29と同様に、図49(a)に示すように、多結晶シリコン膜30206をエッチバックした後、図49(b)に示す様にシリコン酸化膜30204を残したままフォトレジスト工程を行う。次に、フォトレジスト30207をマスクとしてフィールド領域上のシリコン酸化膜30204、シリコン窒化膜30203をエッチング除去する。このため、フィールド酸化後の形状は図49(d)に示すようにバースピークが抑えられる。ただし、フィールド酸化後にシリコン酸化膜30208(フィールド酸化工程によりフィールド酸化前のシリコン酸化膜30204より厚くなっている)を除去する必要があり、このシリコン酸化膜30208の膜厚は、実施例29におけるシリコン酸化膜30108と比較し厚いため、結果的に、シリコン酸化膜30208及びシリコン窒化膜30203除去後のフィールド酸化膜厚は実施例29と比較し薄くなる。

【0299】つまり、本実施例では、実施例29と比較し、バースピークは抑えられるがフィールド酸化膜は薄くなるというトレードオフの関係にある。

【0300】(実施例31)図50(a)~(e)は、本発明の請求項32、39、40、41、42における溝型分離構造とフィールド酸化膜の形成における工程順断面図である。

【0301】まず、図50(a)に示すように、半導体基板3101にシリコン酸化膜3102(本実施例では、10~20nm)及びシリコン窒化膜3103(本実施例では、100~200nm)を順次形成する。

【0302】次に、図50(b)に示すように、フォトリソグラフィ工程を経て、所望の溝型分離構造3104(本実施例では、幅0.1~0.3μm)のシリコン窒化膜3103、シリコン酸化膜3102をエッチングする。

【0303】次に、図50(c)に示すように、シリコン窒化膜3103をマスクとして、シリコン基板3101をエッチングし、溝型分離構造3104に溝3105を形成した後、上記溝3105内壁を酸化雰囲気により酸化する。本実施例では、約1~2μmの深さの溝を形成し、10~50nm程度のシリコン酸化膜3106を上記溝3105内壁に形成した。次に化学的気相成長法(CVD法)により、シリコン酸化膜3107を堆積する。(本実施例では、10~70nm程度の膜厚のシリコン酸化膜を堆積した)次に、図50(d)に示すように、多結晶シリコン膜3108(本実施例では、200nm~600nm程度堆積した)を堆積し、溝3105を多結晶シリコン膜3108で埋め込む。

【0304】次に、図50(e)に示すように、多結晶シリコン膜3108をエッチバックし、溝3105内にみに多結晶シリコン膜3108を残す。このとき多結晶シリコン膜のオーバーエッチングにより、シリコン窒化膜3103上のシリコン酸化膜3107は薄くなる。

(エッチング選択比にもよるがほとんど無くすることも可能である)。後は、実施例29もしくは、30と同様の工程を経て所望の溝型素子分離構造を形成する。

【0305】本実施例によれば、溝開口部において、溝内に埋め込まれた多結晶シリコン膜とシリコン基板までの距離をシリコン酸化膜を介してはなすことが可能であり、バースピークを実施例29、30と比較して、よりいっそう抑制することが可能となる。

【0306】(実施例32) 実施例26の構造を得るためには、実施例27～31の製造方法において、溝内壁を酸化する工程と、多結晶シリコン膜を堆積し溝内部を多結晶シリコン膜で埋め込む工程との間に、不純物イオンをイオン注入法によりドーパする工程を追加する必要がある。

【0307】本実施例では、溝のアスペクト比にもよるが、注入角度が垂直方向に対し0度～10度程度の範囲で回転注入を実施した。ドーパ量は、 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ の範囲で行った。

【0308】

【発明の効果】以上説明したように、本発明では、以下の効果が得られる。

【0309】請求項1の半導体装置によれば、SOI基板に伴う前述の問題を回避しながら、ダイナミックしきい値型トランジスタの利点である低い電源電圧での高い駆動力を達成することができる。

【0310】請求項2の半導体装置によれば、1つのスイッチング素子がダイナミックしきい値型トランジスタ電流とバイポーラトランジスタ電流の総合電流となるため、MOS型トランジスタとしての動作しかない半導体装置に比較して、更に大きな駆動力を得ることができるので、低い電源電圧のもとで非常に高速で動作させることが可能となる。

【0311】請求項3の半導体装置によれば、トランジスタ素子間の分離領域のサイズを大きくすることなく、素子間を効率的に分離することが可能となるので、1個の素子当たりの専有面積を縮小させることができ、集積度向上と配線容量低減、配線遅延時間低減等の効果が得られる。

【0312】請求項4の半導体装置によれば、ゲート電極と素子分離領域が重なる領域には、フィールド酸化膜のバースピークが存在しているため、溝エッジ部にゲート電極が重なった領域において、溝のエッジ部に起因するソース領域/ドレイン間リークを抑制することができる。このため、トランジスタのオフ電流を低減することができる。

【0313】請求項5及び6の半導体装置によれば、金属シリサイド膜もしくは金属膜を介して、p型半導体とn型半導体とが接続される。このため、確実にオーミック接続を行うことが可能となり、遅延時間無く、ゲート電極の電位を浅いウェル領域に伝達することが可能となる。遅延時間無く、しきい値をダイナミックに変化させることができる。

【0314】請求項7の半導体装置の製造方法によれば、公知のシリサイド化工程に対して、ゲート/浅いウェル領域間コンタクト孔を形成する工程を追加するだけで、シリサイド化と同時に、ゲート/浅いウェル領域間のオーミックコンタクトを形成することが可能となる。

【0315】請求項8の半導体装置によれば、金属シリサイド膜と浅いウェル領域の接触界面領域の不純物濃度を高めることが可能となり、オーミックコンタクトを形成することが可能となる。

【0316】請求項9の半導体装置によれば、低消費電力化の回路を構成しやすくなるという効果がある。

【0317】請求項10の半導体装置によれば、深いウェル領域間は、溝型分離構造により分離され、直接接触することはない。更に深いウェル領域の電位を深いウェル領域と同一にしておけば、N型の深いウェル領域を包み込むように構成されたP型の更に深いウェル領域は、GNDに接地され、P型の深いウェル領域を包み込むように構成されたN型の更に深いウェル領域は、電源電圧に固定される。このため、深いウェル領域間がPN逆バイアス状態となり、素子の動作とは無関係なPN接合順方向電流が流れることが無くなる。

【0318】請求項11の半導体装置によれば、PN接合順方向電流を極力少なくすることができ、駆動電流と無関係なリーク電流を抑制することが可能となり、低消費電力化に効果がある。

【0319】請求項12の半導体装置の製造方法によれば、浅いウェル領域に不純物濃度の高い領域を形成するためのイオン注入が、相補型素子の他方のソース/ドレイン領域を形成するためのイオン注入と同時に進行するため、製造工程が簡略化される。

【0320】請求項13の半導体装置によれば、浅いウェル領域とソース/ドレイン領域との間の電位差を、電源電圧に関わらず、最高でもpn接合のビルトインポテンシャルよりも低い任意の大きさに設定することができる。

【0321】請求項14の半導体装置では、電源電圧を任意に設定できる。例えば、入力値がHigh→LowもしくはLow→Highに変化したときに、出力値をLow→HighもしくはHigh→Lowに変化させる期間だけベース電流が流れ、スタンバイ状態では流れなくすることが可能となる。動作状態の時のみバイポーラ電流が流れ、スタンバイ状態では、バイポーラ電流(ベース電流)をカットすることが可能となるため、低

61

電源電圧で本素子を動作させた場合非常に高駆動力なMOS型トランジスタとバイポーラ電流の加算電流による低電源電圧にしては非常に高駆動力な素子を実現することができる。このため、高い電源電圧で本素子を動作させた場合バイポーラ電流に対して、MOS型トランジスタの電流が桁落ちに小さくなるため、スタンバイ状態でベース電流の流れ無い低消費電力バイポーラ素子を実現できる。

【0322】請求項15の半導体装置によれば、電源電圧をビルトインポテンシャル付近以下で使用するとき、超10 低消費電力回路を構成することが可能となり（通常のCMOSでは、駆動電流が小さくスピードが遅すぎて使用に耐えられない）、ビルトインポテンシャル以上で使用するなら、消費電力がCMOS回路なみでスピードがバイポーラ回路なみの超高速低消費電力回路を構成することが可能となる。

【0323】請求項16の半導体装置によれば、ビルトインポテンシャルの値を高めることによって、PN接合順方向電流を更に抑制することができるため、消費電力を更に低減することができる。

【0324】請求項17及び18の半導体装置によれば、スタンバイ時の供給電源を遮断することができるので、消費電力を更に低減することができる。

【0325】請求項19の半導体装置によれば、溝型分離構造及びフィールド酸化膜を形成した後に、浅いウェル領域を形成するため、フィールド酸化膜の直下に浅いウェル領域を自己整合的に形成しないようにすることが可能となる。このため、特に相補型素子において、浅いnウェル領域と深いnウェル領域、及び、浅いpウェル領域と深いpウェル領域をフィールド酸化膜によって、自己整合的に分離することが可能となる。このため、位置合わせを高精度に行わなくても確実にウェル領域間を分離できる。

【0326】請求項20の半導体装置によれば、溝型素子分離構造において、溝開口部のエッジにはバースピークが存在し、エッジが尖っていないため、溝開口部のエッジにおける電界集中を緩和することが可能となる。このため、溝エッジ部にゲート電極が重なった領域において、溝のエッジ部に起因するソース領域/ドレイン間リークを抑制することができ、トランジスタのオフ電流を軽減させることが可能となる。

【0327】請求項21及び22によれば、溝により分離されるべき半導体層の空乏層が、溝底部まで延びるのを防ぐことが可能となるため、該半導体層間を確実に分離することができる。

【0328】請求項23から26の半導体装置の製造方法によれば、溝開口部のエッジにおける電界集中を緩和され、トランジスタのオフ電流の軽減された半導体装置を製造することが容易にできる。

【0329】請求項27の半導体装置の製造方法によ

62

ば、半導体基板のフィールド領域にフィールド酸化膜を形成するための耐酸化マスクに関して、溝型分離構造の幅だけ位置合わせマージンがある。このため、フィールド酸化膜と溝分離構造との間の位置合わせズレが生じない。また、そのような耐酸化マスクを用いれば、フィールド酸化膜を熱酸化で形成する際に、溝内に埋め込まれた多結晶シリコン膜の上部を同時に酸化して溝型素子分離構造を完成することができるので、製造工程が簡略化される。更に、溝エッジ部にバースピークが形成される結果、溝型分離構造において最も問題となる溝エッジでのリークが低減される。

【0330】請求項28及び29の半導体装置の製造方法によれば、第2のシリコン窒化膜に存在によって、溝型分離構造の上部に形成されるフィールド酸化膜が薄くなり、バースピークの成長が抑制される。その結果、設計寸法に近い活性領域の面積を確保することが可能となり、表面段差の程度も低減される。

【0331】請求項30及び31の半導体装置の製造方法によれば、溝形成のためのエッチングマスクの最表面に第2のシリコン酸化膜が設けられるため、多結晶シリコン膜をエッチバックする工程で、溝内の多結晶シリコン膜をエッチングしすぎることが防止され、埋め込み形状の制御性が向上する。また、フィールド酸化膜形成のための熱酸化によって溝側壁が酸化されすぎることがない。

【0332】請求項32の半導体装置の製造方法によれば、フィールド領域上のシリコン窒化膜が除去された後、溝の活性領域側のエッジ部を覆うように第2のシリコン窒化膜が残存するため、そのエッジ部に厚すぎるバースピークは形成されない。

【0333】請求項33の半導体装置の製造方法によれば、第2のシリコン酸化膜が耐酸化マスクの最表面に残存するため、溝の活性領域側のエッジ部に厚すぎるバースピークは形成されない。

【0334】請求項34、36及び37の半導体装置の製造方法によれば、第2のシリコン窒化膜に存在によって、溝型分離構造の上部に形成されるフィールド酸化膜が薄くなり、バースピークの成長が抑制される。

【0335】請求項35、38から39の半導体装置の製造方法によれば、第2のシリコン膜を覆うように第3のシリコン膜を堆積することによって、溝開口部のエッジ部におけるバースピークの成長を抑えることが可能となる。

【0336】請求項40の半導体装置の製造方法によれば、溝型素子分離構造の溝底部に不純物イオンを注入することによって、分離の機能を更に高めることができる。

【0337】請求項41の電界効果型トランジスタ素子によれば、SOI基板に伴う前述の問題を回避しながら、ダイナミックしきい値型トランジスタの利点である

低い電源電圧での高い駆動力を達成することができる。

【図面の簡単な説明】

【図1】(a)は実施例1の平面図、(b)、(c)及び(d)は、それぞれ、(a)のb-b'線、c-c'線、d-d'線断面図。

【図2】(a)は実施例1の改良例の平面図、(b)、(c)及び(d)は、それぞれ、(a)のb-b'線、c-c'線、d-d'線断面図。

【図3】MOS型トランジスタの浅いウェル領域の電位を変化させた時のゲート電圧とドレイン電流の関係を示すグラフ。

【図4】実施例1のMOS型トランジスタにおけるゲート電圧と駆動電流（ドレイン電流）との関係を示すグラフ。

【図5】実施例2の半導体素子における各部の接続関係と、その素子内部の寄生バイポーラトランジスタを示す模式図。

【図6】(a)は実施例3の平面図、(b)、(c)及び(d)は、それぞれ、(a)のb-b'線、c-c'線、d-d'線断面図。

【図7】(a)は実施例3の改良例の平面図、(b)、(c)及び(d)は、それぞれ、(a)のb-b'線、c-c'線、d-d'線断面図。

【図8】(a)は実施例4の平面図、(b)、(c)及び(d)は、それぞれ、(a)のb-b'線、c-c'線、d-d'線断面図。

【図9】(a)は、実施例5のオーミックコンタクト構造の模式図、(b)から(e)は、実施例5のオーミックコンタクト構造の応用例であり、素子分離領域を組み合わせたものを示す断面図。

【図10】実施例6のオーミックコンタクト構造の模式図。

【図11】(a)から(f)は、実施例6のオーミックコンタクト構造の応用例を示す断面図。

【図12】(a)～(e)は、実施例7の工程順断面図。

【図13】(a)～(e)は、実施例8の工程順断面図。

【図14】(a)～(c)は、図13の工程に続く実施例8の工程順断面図。

【図15】(a)から(f)は、実施例9の工程順断面図。

【図16】実施例10の素子の構造の断面図。

【図17】実施例10の素子の回路図。

【図18】実施例11の素子の構造の断面図。

【図19】実施例11の素子の回路図。

【図20】実施例12の素子の電源電圧に対するバイポーラ電流及びMOS型トランジスタのドレイン電流とベース電圧及びゲート電圧の関係。

【図21】(a)及び(b)は、実施例13のコンタク

ト形成用マスクとソース/ドレイン注入用マスクを兼用したマスクのレイアウト平面図。

【図22】(a)及び(b)は、実施例14のなかで、実施例1に関する等価回路を説明するための図、(c)及び(d)は、実施例14の素子の回路図。

【図23】(a)及び(b)は、実施例14の素子を構成するトランジスタであるTrn1とTrp1のゲート電圧に対する浅いpウェル領域の電位(V_{spwell})及び浅いnウェル領域の電位(V_{snwell})の関係を示すグラフ。

【図24】実施例15の素子の回路図。

【図25】実施例15の素子の他の回路図。

【図26】実施例16の素子の回路図。

【図27】実施例16の素子の他の回路図。

【図28】実施例17の素子の回路図。

【図29】実施例17の素子の他の回路図。

【図30】実施例19の素子の回路図。

【図31】実施例19の素子の他の回路図。

【図32】実施例19の素子の他の回路図。

【図33】実施例19の素子の他の回路図。

【図34】実施例20の素子の回路図。

【図35】実施例23の回路ブロックの構成図。

【図36】実施例23の回路ブロックの他の構成図。

【図37】(a)～(d)は、実施例24の素子の工程順断面図。

【図38】実施例25の溝型素子分離構造の断面図。

【図39】(a)は、図38におけるA部の拡大図、

(b)は、従来の溝型素子分離構造の断面図。

【図40】実施例26の溝型素子分離構造の断面図。

【図41】(a)～(h)は、実施例27の溝型分離構造とフィールド酸化膜の形成における工程順断面図。

【図42】(a)～(e)は、実施例28の溝型分離構造とフィールド酸化膜の形成における工程順断面図。

【図43】実施例28の溝型分離構造の形成方法を第3の実施例の素子に適用した断面図。

【図44】実施例28の説明の中で実施例28の方法と比較するために、実施例27の溝型分離構造の形成方法を第3の実施例の素子に適用した断面図。

【図45】(a)は、実施例29の説明の中で引用し

た、実施例27、28の方法によるフィールド酸化前の工程での断面図、(b)は、実施例29の説明の中で引用した、実施例27、28の方法によるフィールド酸化後の工程での断面図。

【図46】(a)は、実施例29の説明の中で引用し

た、実施例27、28の方法によるフィールド酸化前の工程での断面図、(b)は、実施例29の説明の中で引用した、実施例27、28の方法によるフィールド酸化後の工程での断面図。

【図47】(a)～(f)は、実施例29の溝型分離構造とフィールド酸化膜の形成における工程順断面図。

65

【図48】(a)～(d)は、実施例30の工程順断面図。

【図49】(a)～(d)は、図48の(a)～(d)に対応する実施例29の製造方法による工程順断面図。

【図50】(a)～(e)は、実施例31の溝型分離構造とフィールド酸化膜の形成における工程順断面図である。

【図51】通常のMOS型トランジスタのゲート電極と溝型素子分離構造とがオーバーラップする配置関係を示す平面図。

【図52】(a)は、溝型素子分離構造が従来の場合における図51のA-A'線断面図、(b)は溝型素子分離構造が本発明に係る場合における図51のA-A'線断面図。

【図53】(a)は、溝型素子分離構造が従来の場合におけるトランジスタ特性を示すグラフ、(b)は溝型素子分離構造が本発明に係る場合におけるトランジスタ特性を示すグラフ。

【図54】従来のダイナミックしきい値型MOSトランジスタを示す図。

【符号の説明】

101、101'、301、301'、401 半導体基板

102、102'、302、302'、402 深いウェル領域

103、103'、303、303'、403 浅いウェル領域

104、104'、304、304'、404 フィールド絶縁膜

105、105'、305、305'、405 ゲート絶縁膜

106、106'、306、306'、406 ゲート電極

107、107'、307、307'、407 ソース領域/ドレイン領域

108、108'、308、308'、408 コンタクト孔

3041、4041 フィールド絶縁膜

51、510、511、512、513 深いウェル領域

66

52、520、521、522、523 浅いウェル領域

53、530、531、532、533 ゲート酸化膜

54、540、541、542、543 ゲート電極

55、550、551、552、553 ゲート電極側壁酸化膜

56、560、561、562、563 金属シリサイド膜

57、570、571、572、573 不純物濃度の

10 高い浅いウェル領域と同導電型の領域

580、592、593 フィールド酸化膜

581、582、583 溝型分離構造

621、631、641、651、661、671 深いウェル領域

622、632、642、652、662、672 浅いウェル領域

623、633、643、653、663、673 ゲート酸化膜

624、634、644、654、664、674 多結晶シリコン膜

20

6241、6341、6441、6541、6641、

6741 チタンシリサイド膜

625、635、645、655、665、675 ゲート電極側壁酸化膜

626、636、646、656、666、676 層間絶縁膜

628、638、648、658、668、678 コンタクト孔

629 Al-Cu(0.5%)配線

6291 アルミアロイスバイク

6391、6491、6591、6691、6791

チタン膜

63911、64911、65911、66911、6

7911 チタンシリサイド膜

6392、6492、6592、6692、6792

窒化チタン膜

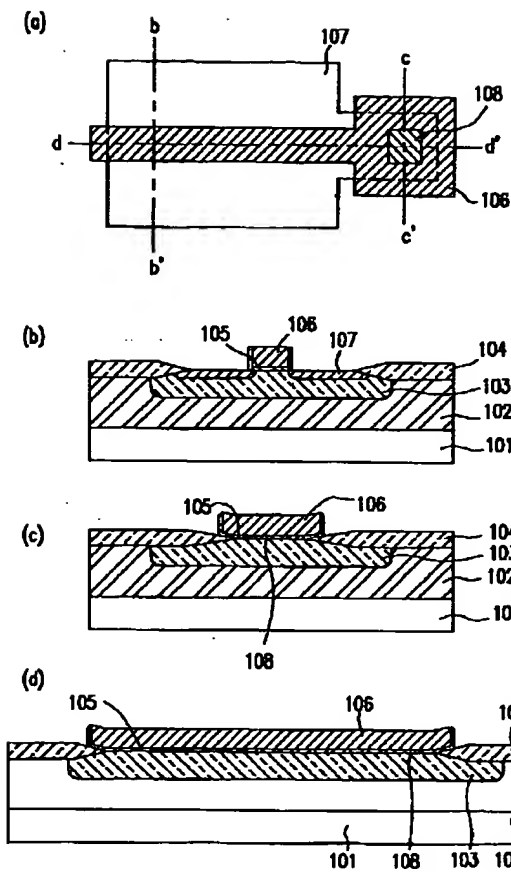
6393、6493、6593、6693、6793

Al-Si(1%)-Cu(0.5%)配線

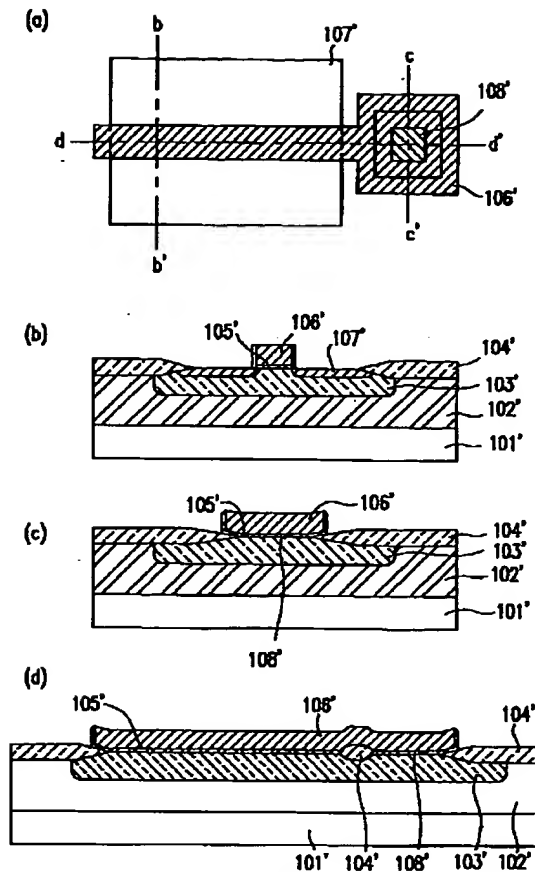
6400、6601、6701 フィールド酸化膜

40 6500、6600、6700 溝型分離構造

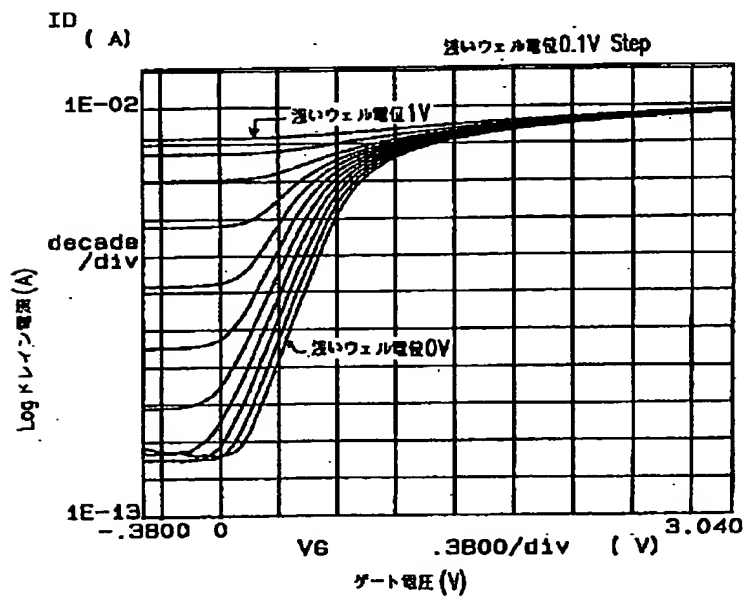
【図1】



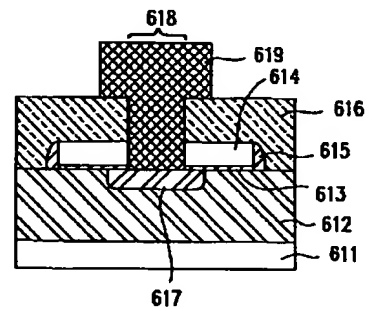
【図2】



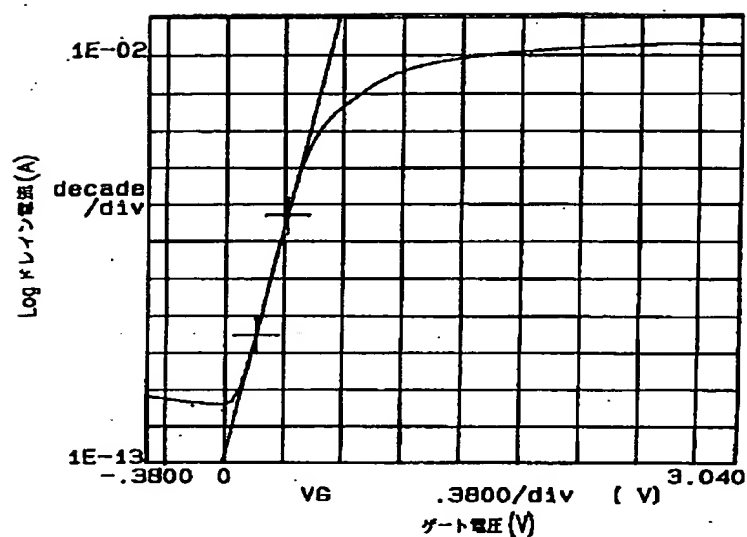
【図3】



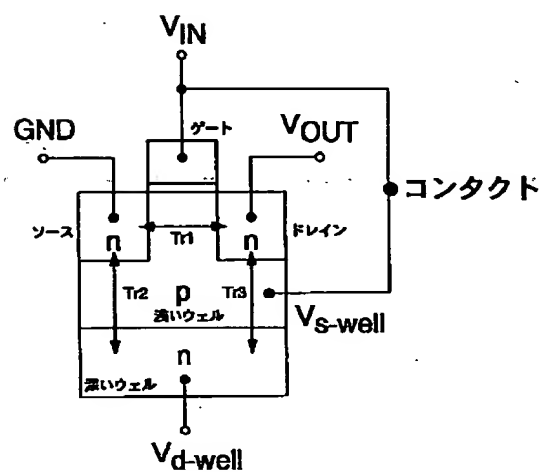
【図10】



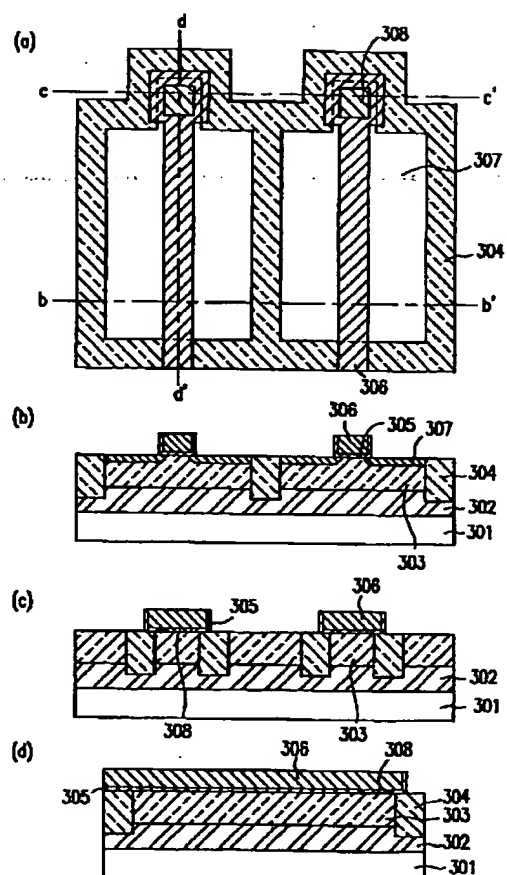
【図4】



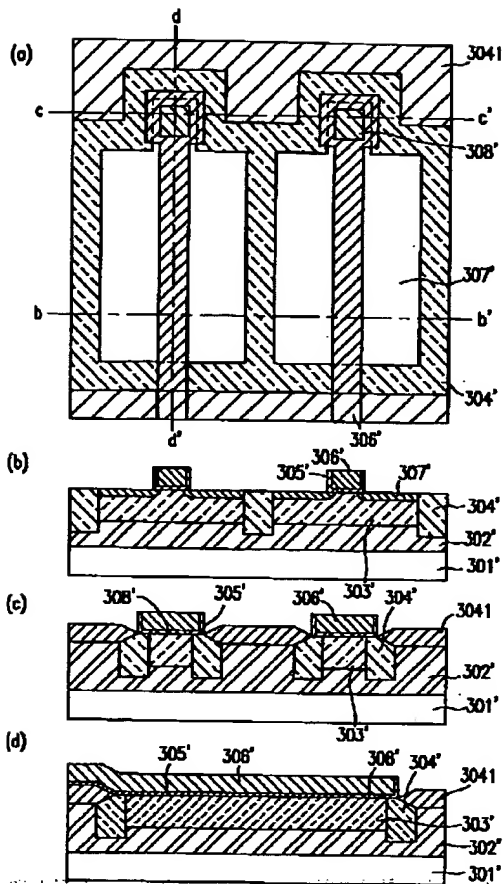
【図5】



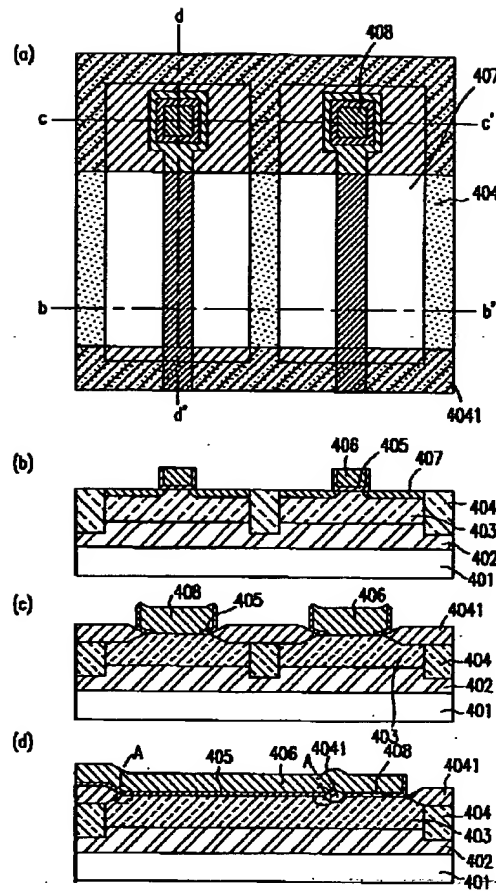
【図6】



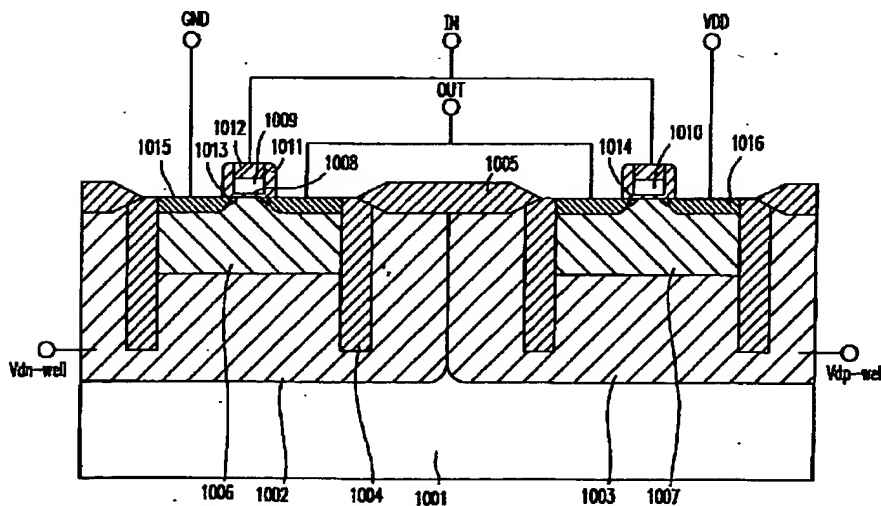
【図7】



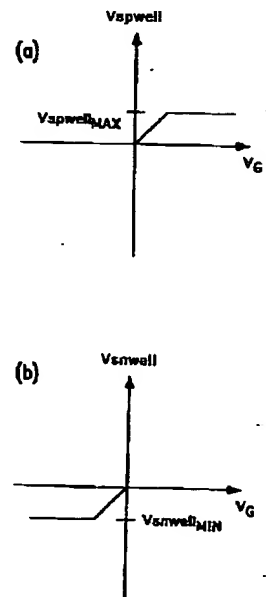
【図8】



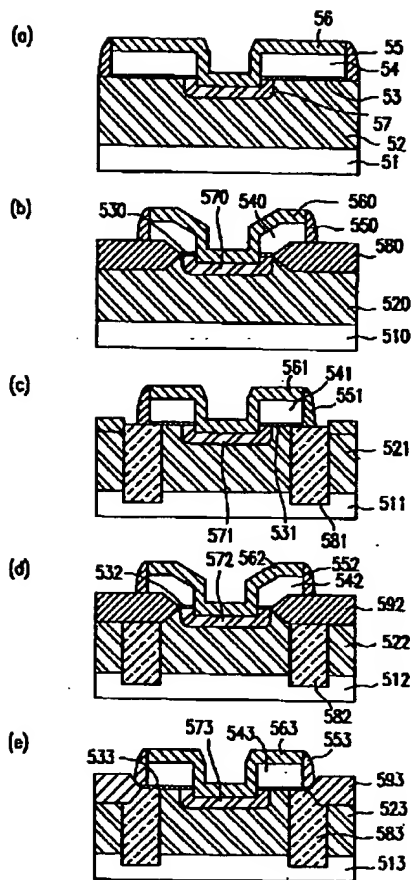
【図16】



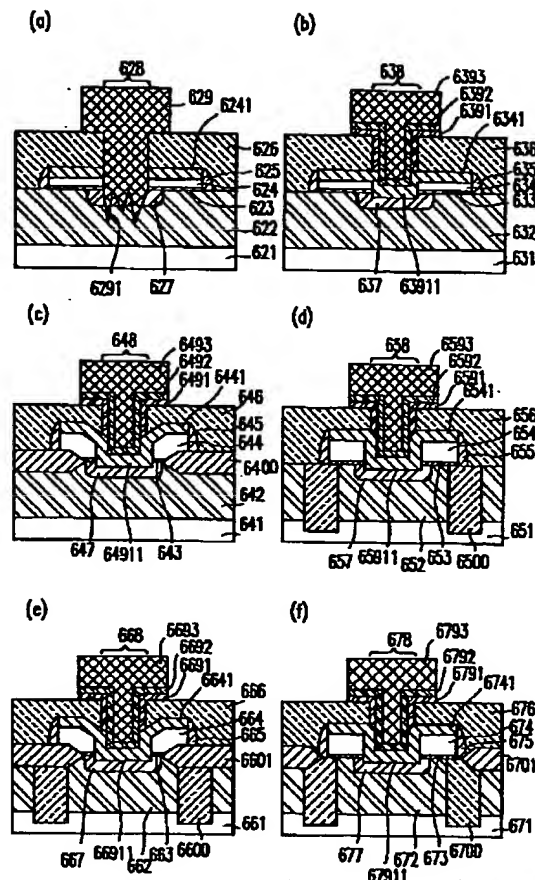
【図23】



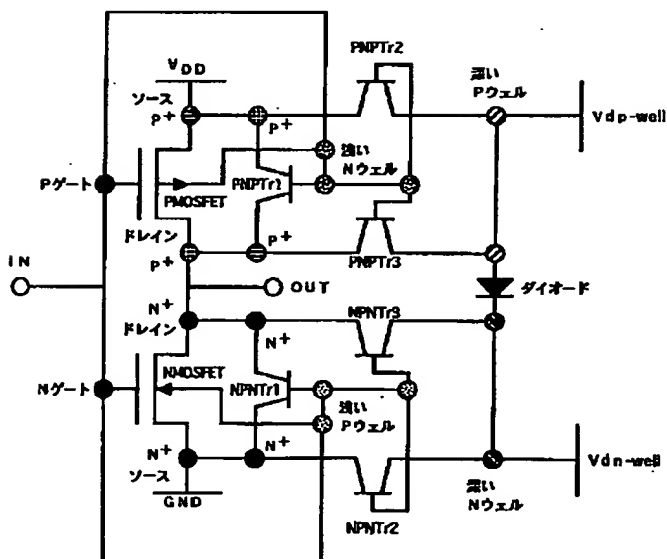
【図9】



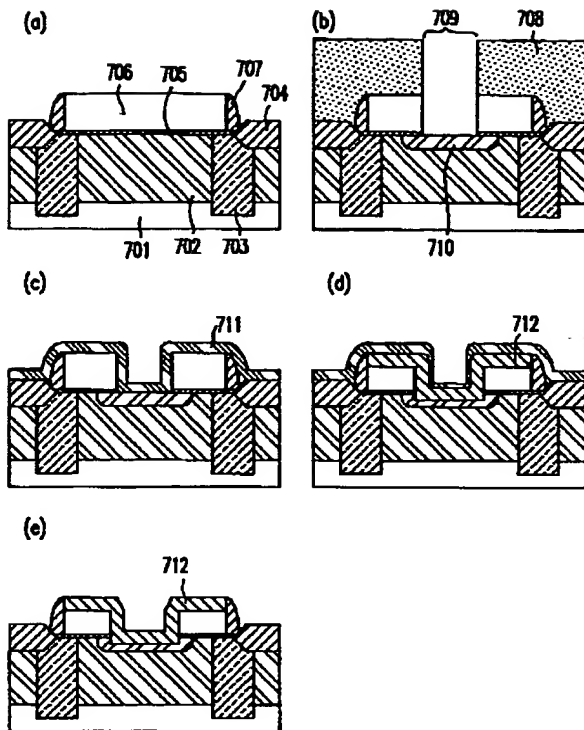
【図11】



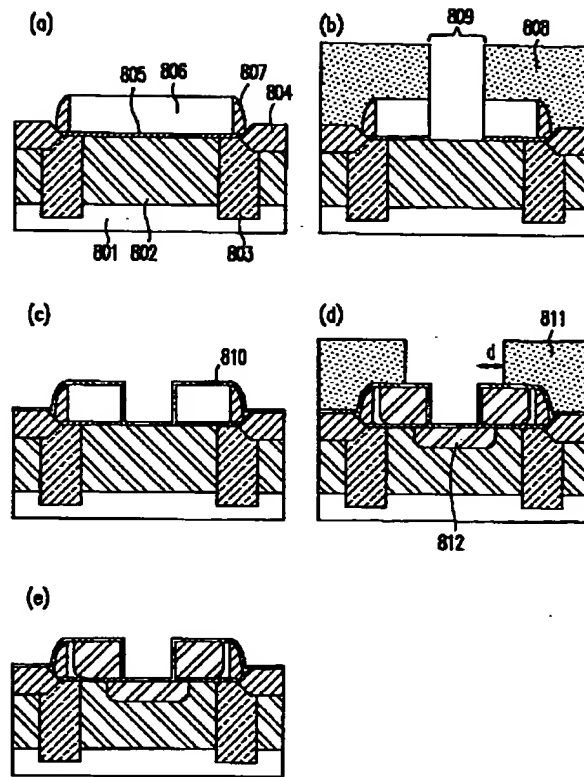
【図17】



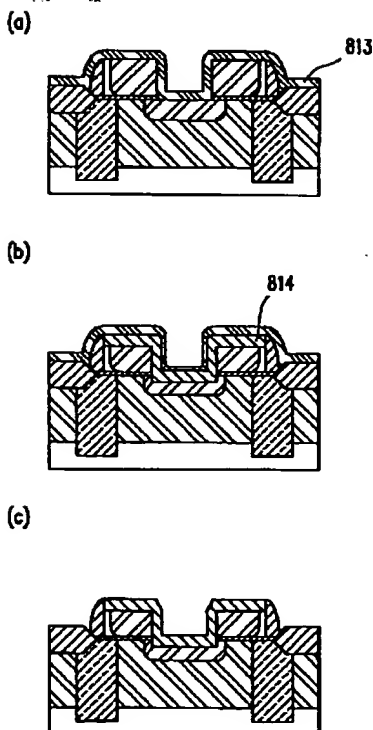
【図12】



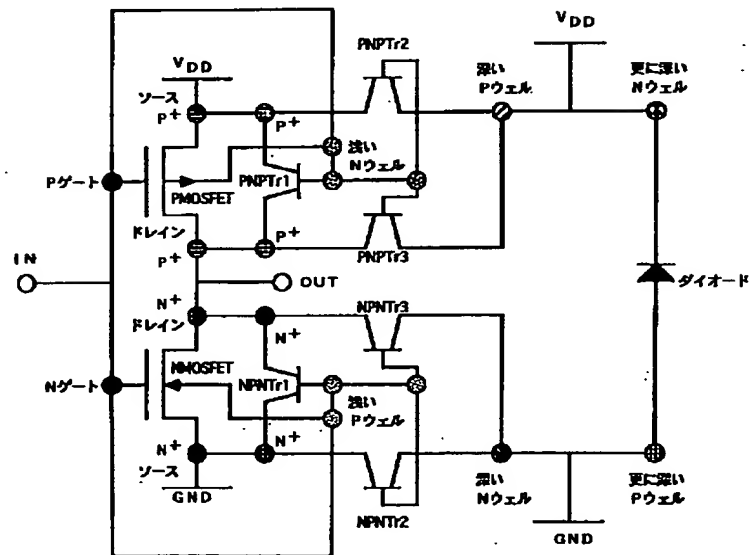
【図13】



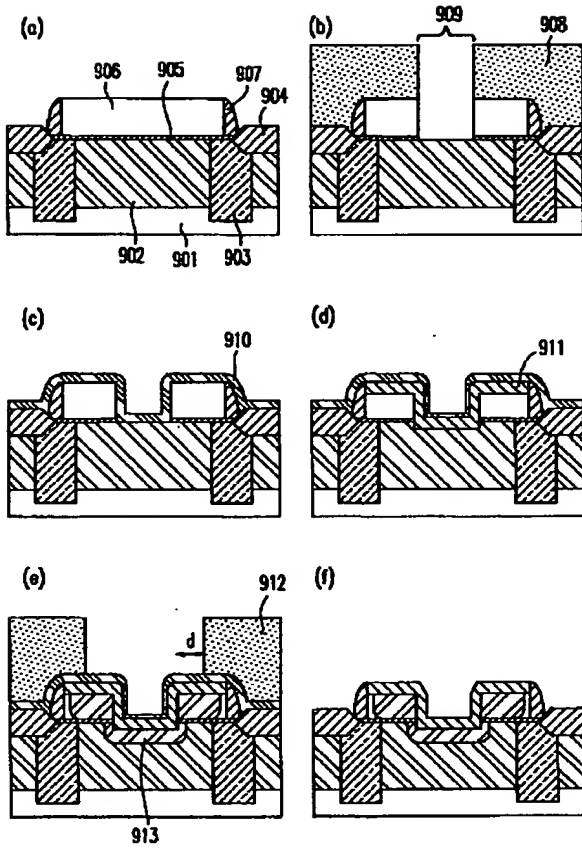
【図14】



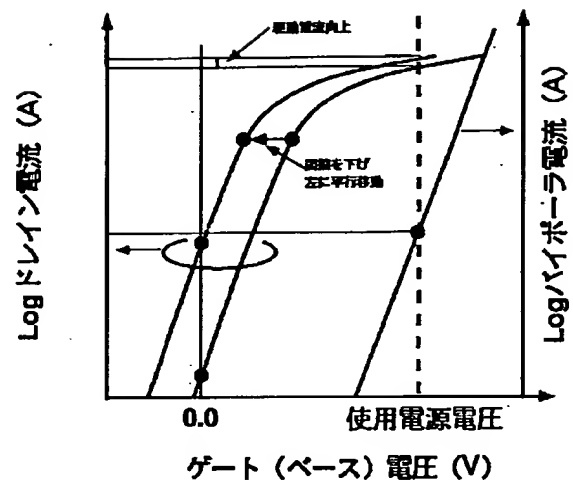
【図19】



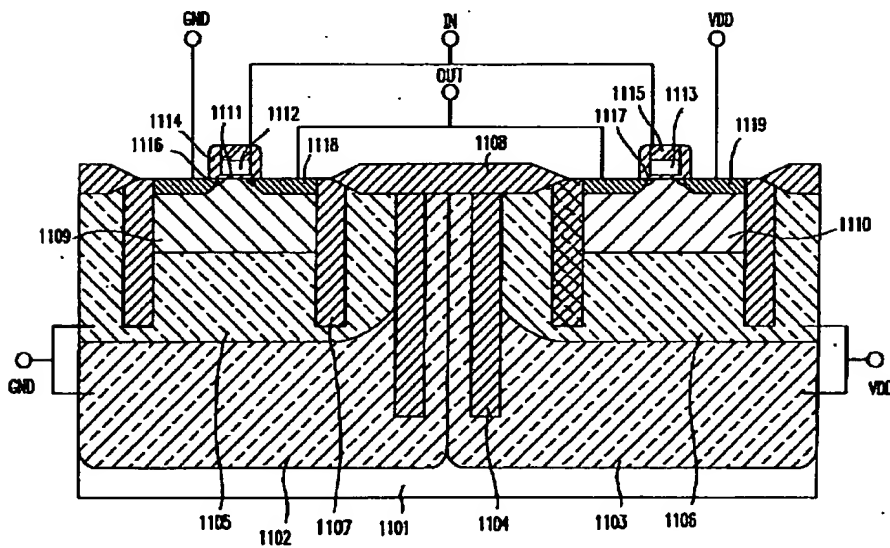
【図15】



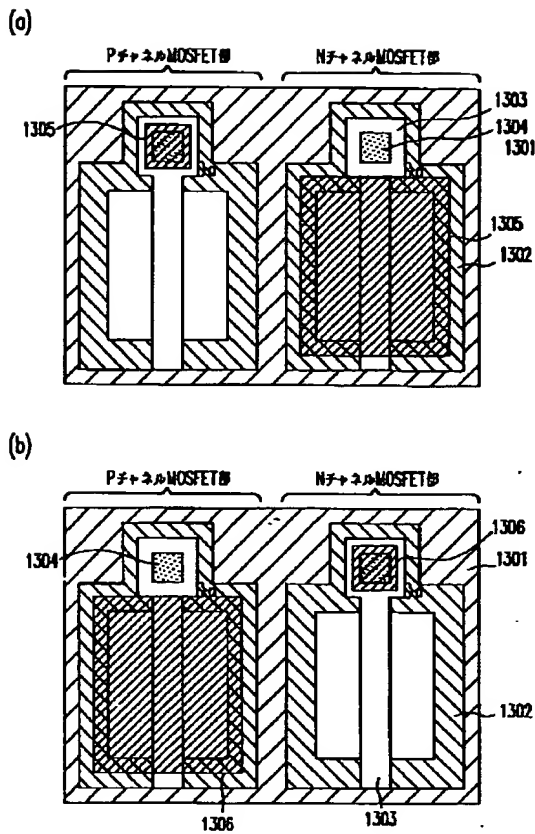
【図20】



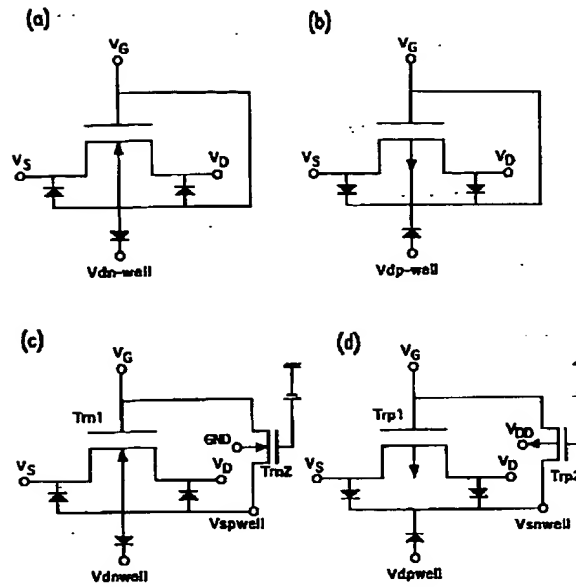
【図18】



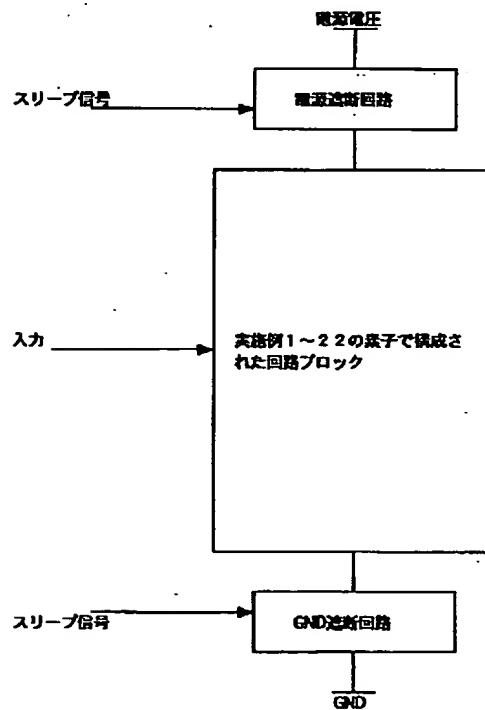
【図21】



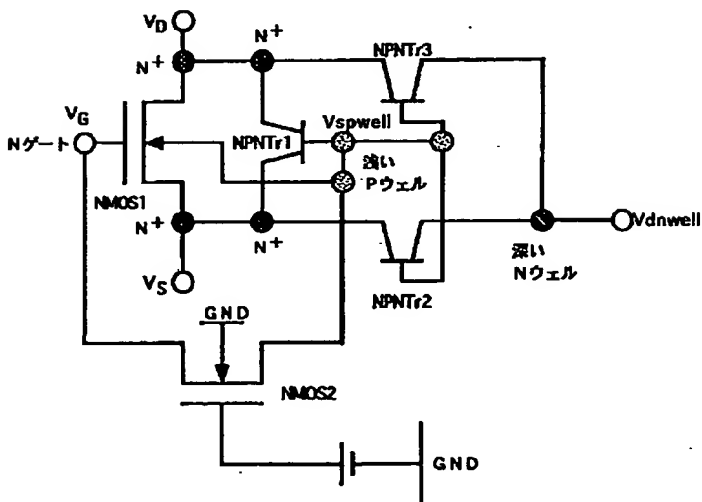
【図22】



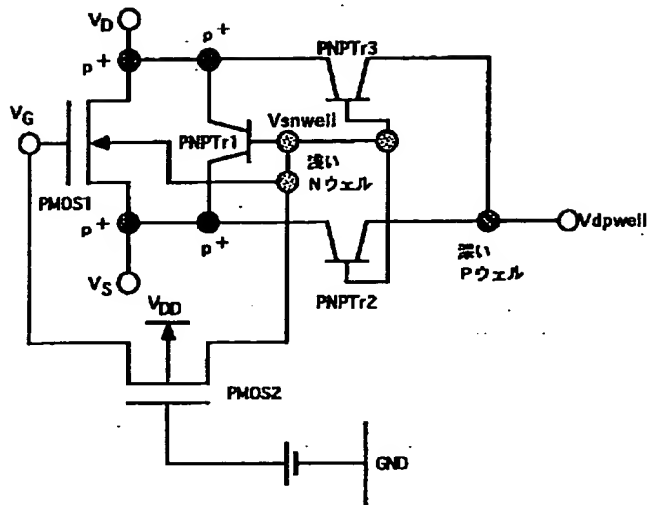
【図35】



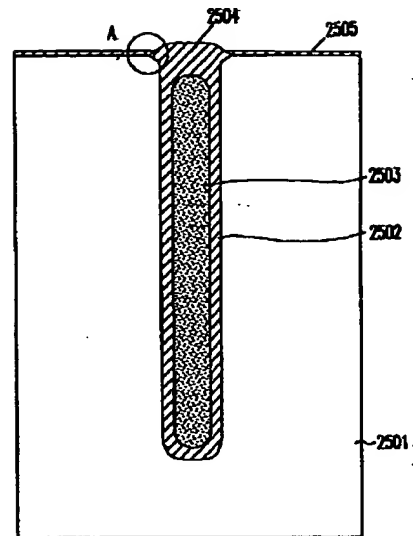
【図24】



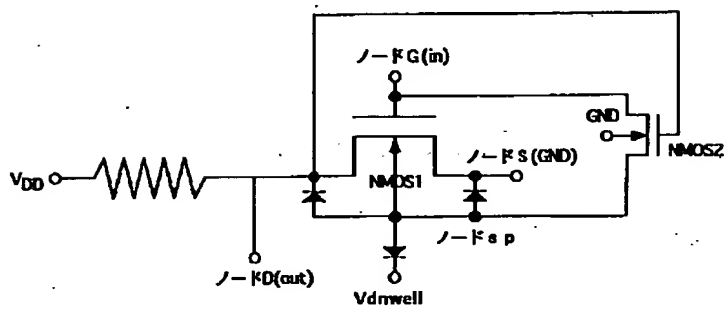
【図25】



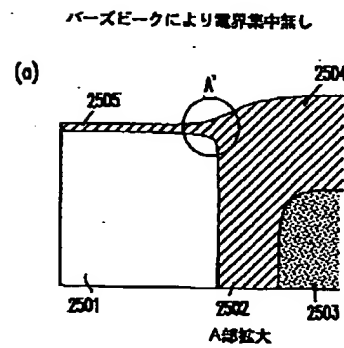
【図38】



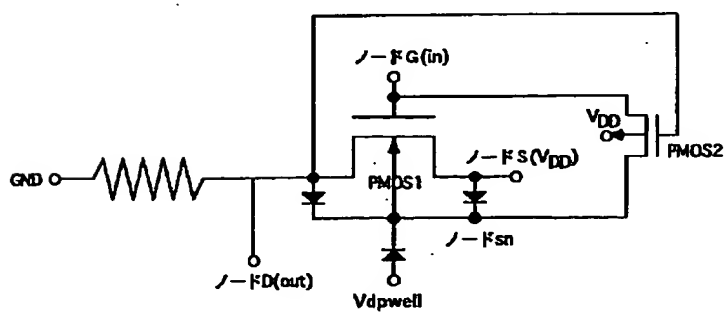
【図26】



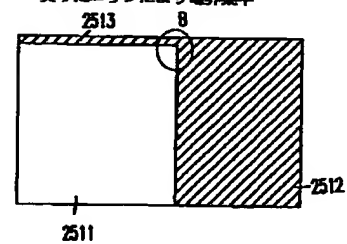
【図39】



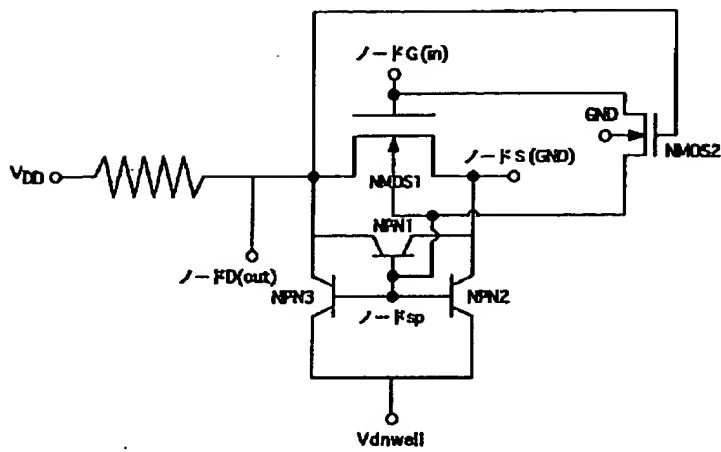
【図27】



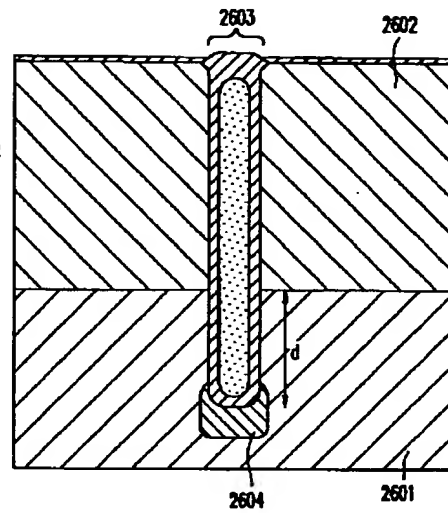
(b) 尖ったエッジにより電界集中



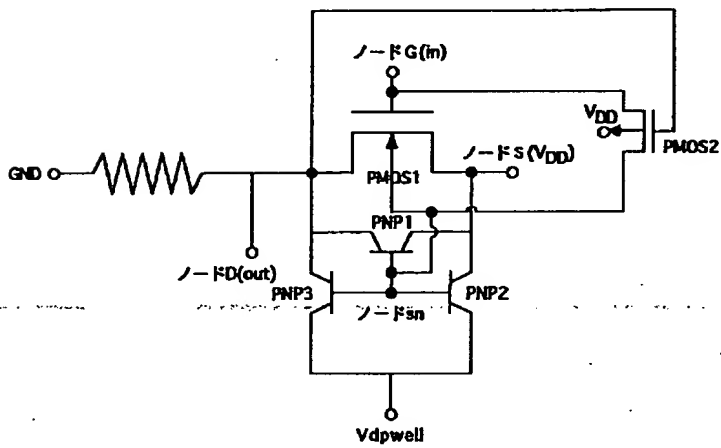
【図28】



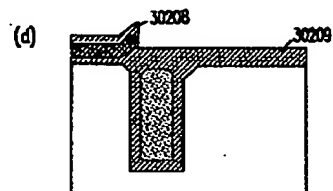
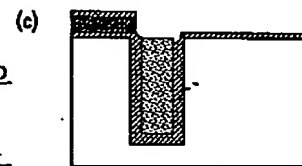
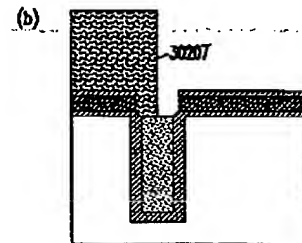
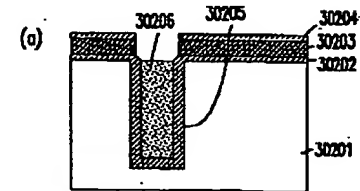
【図40】



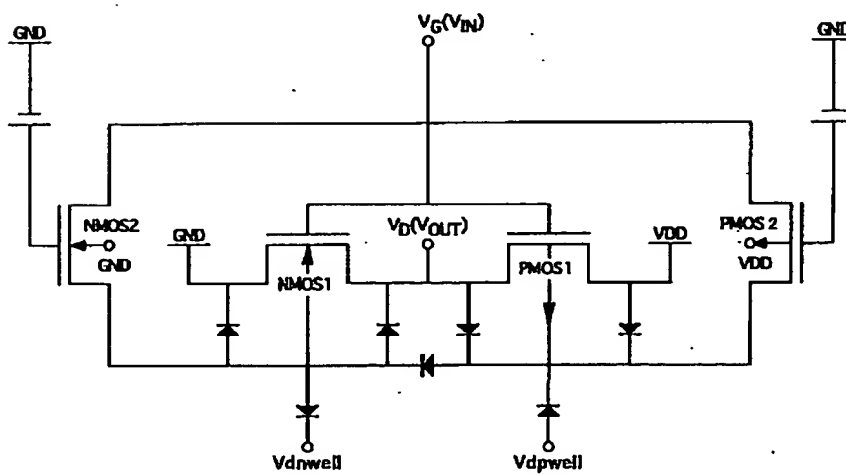
【図29】



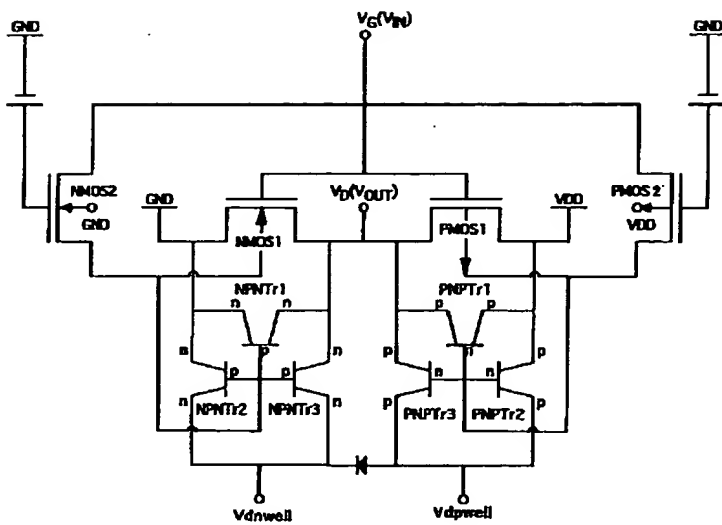
【図49】



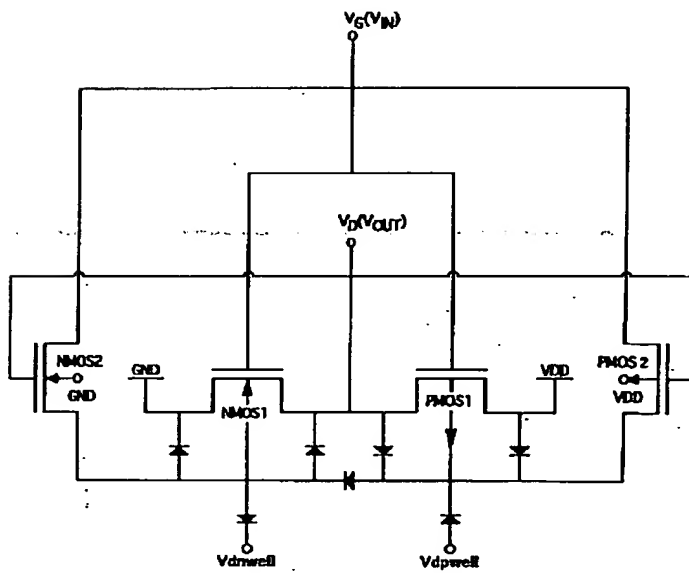
【図30】



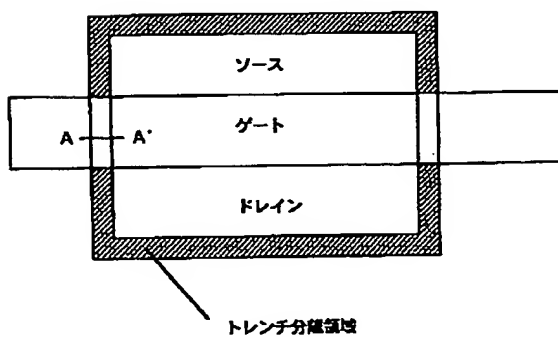
【図31】



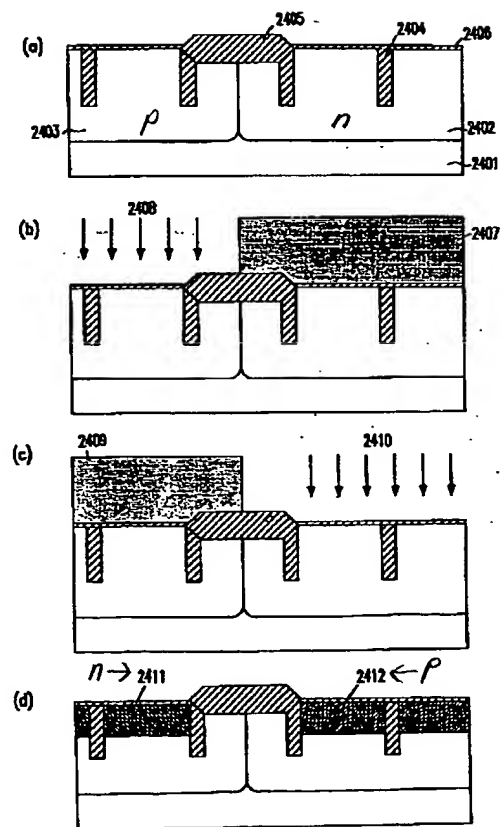
【図32】



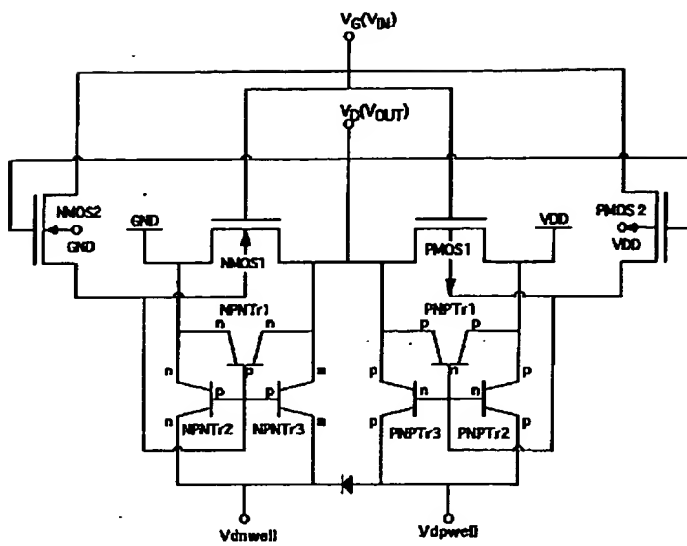
【図51】



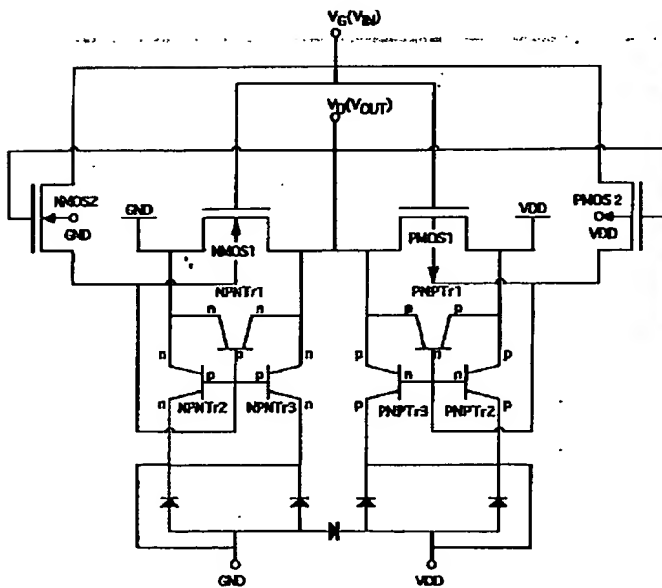
【図37】



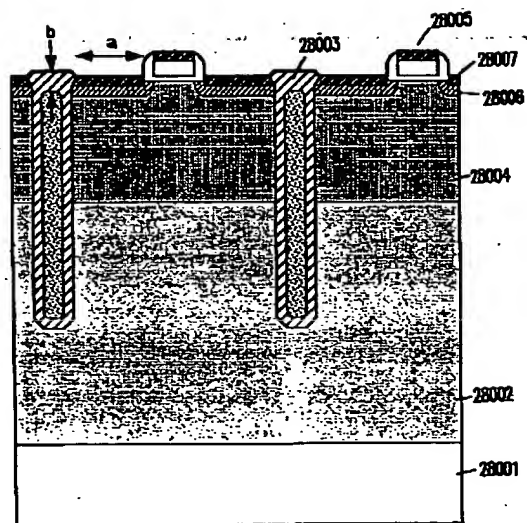
【図33】



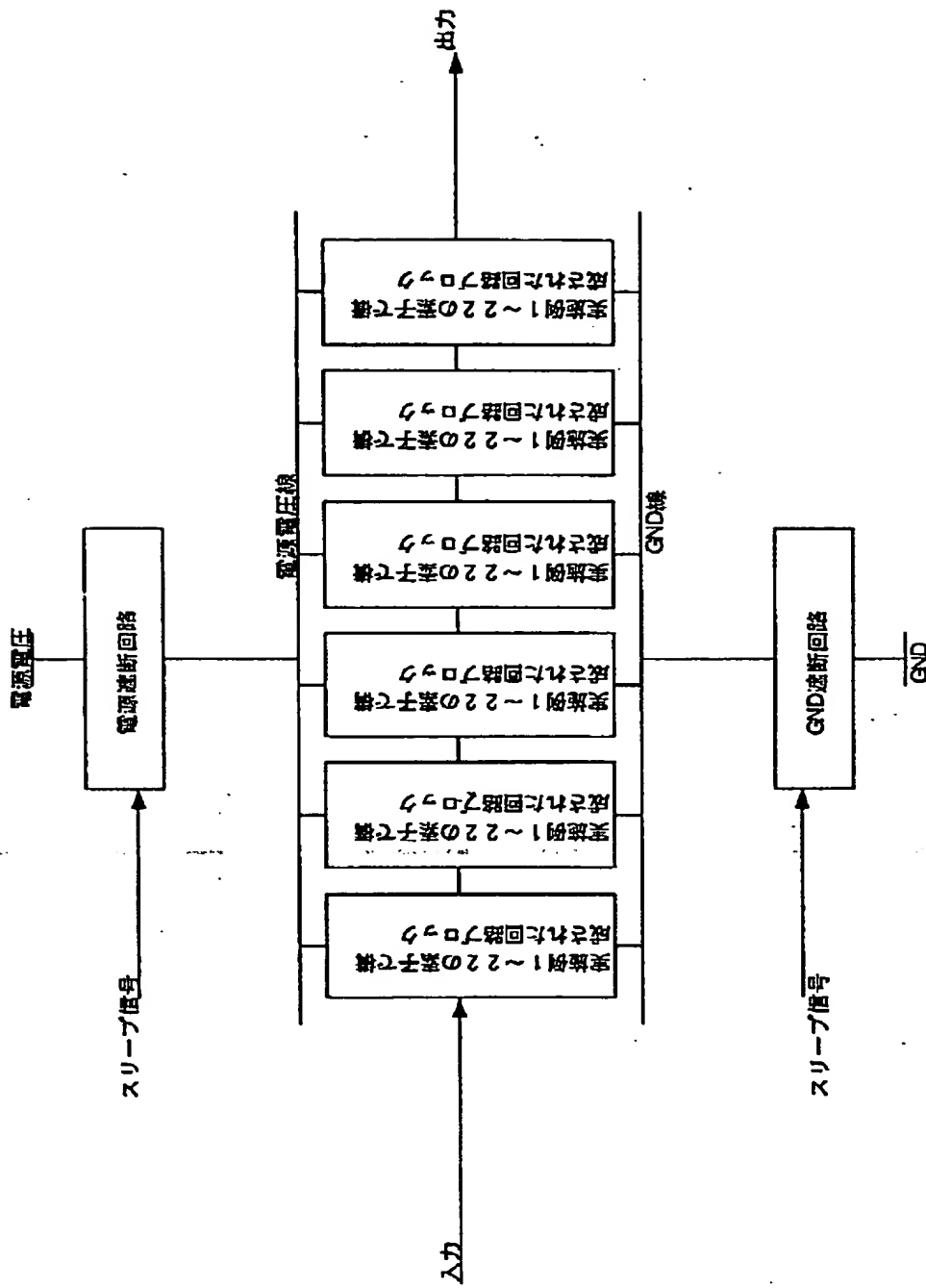
【図34】



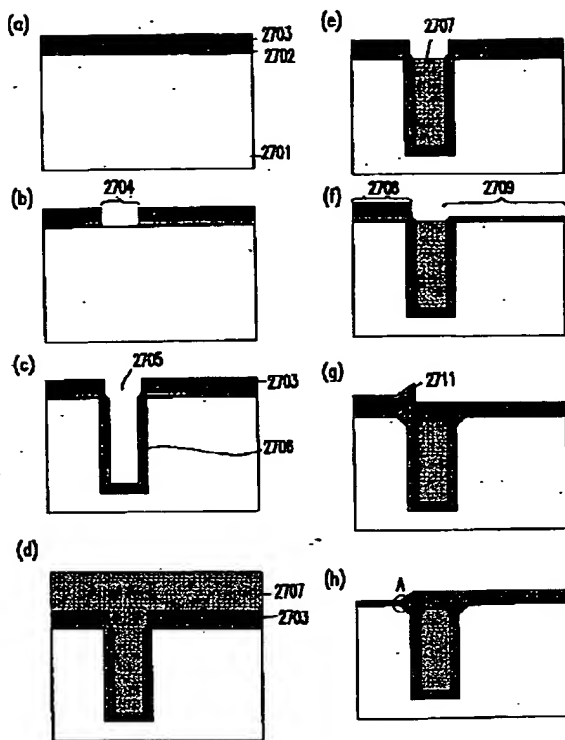
【図43】



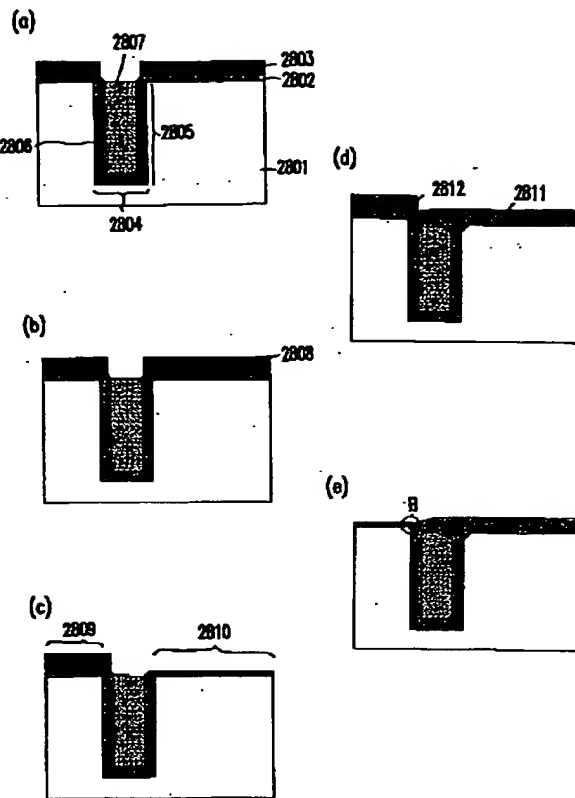
【図36】



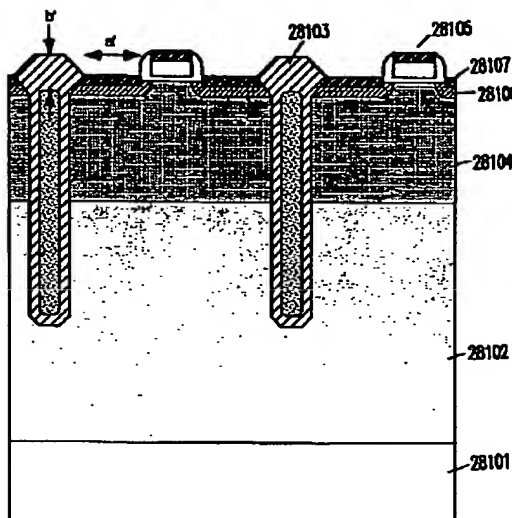
【図41】



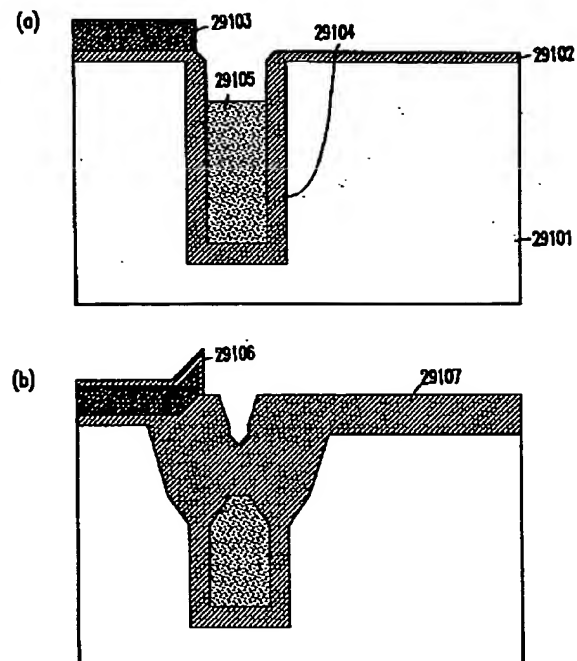
【図42】



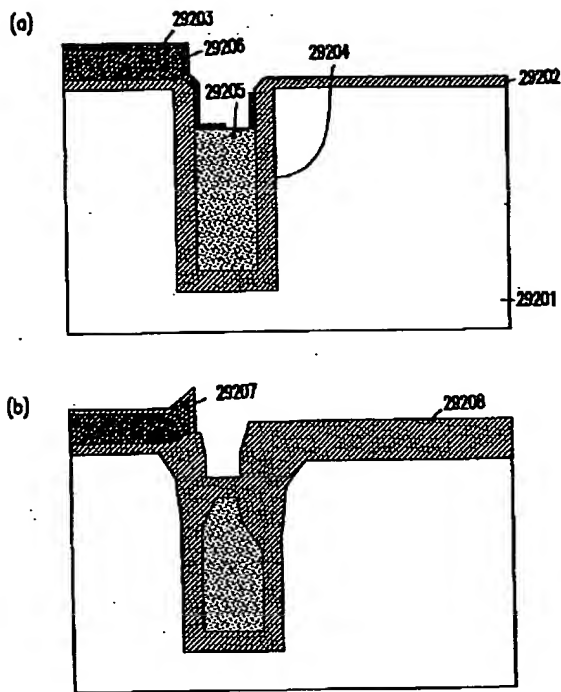
【図44】



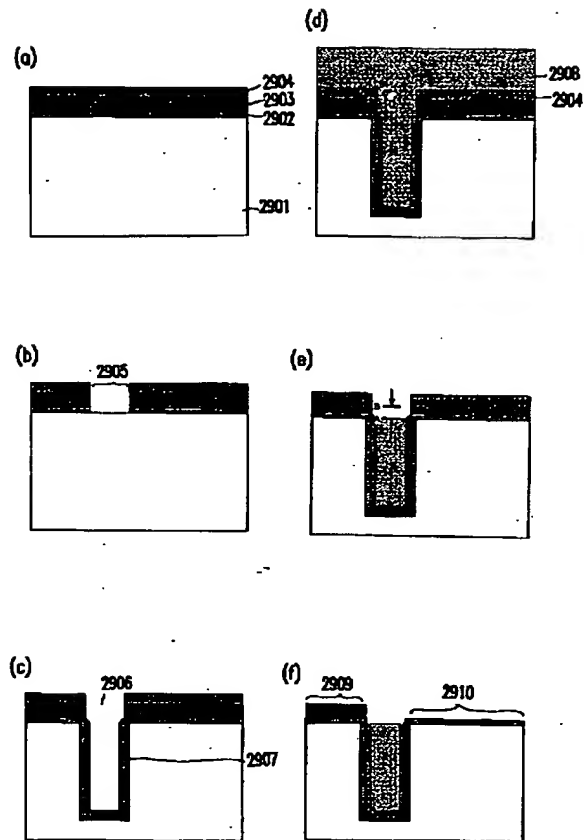
【図45】



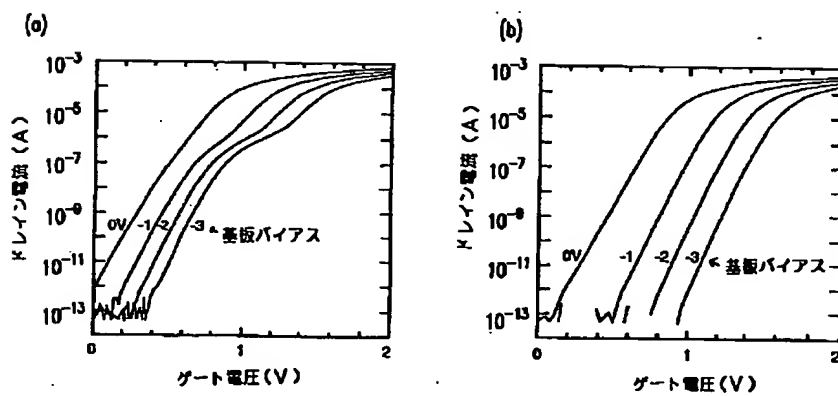
【図46】



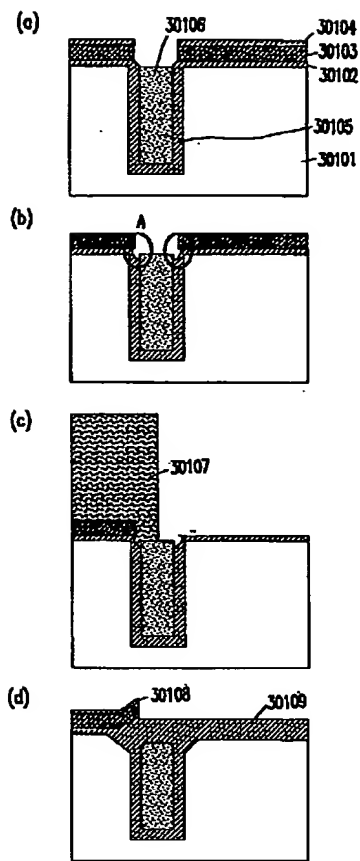
【図47】



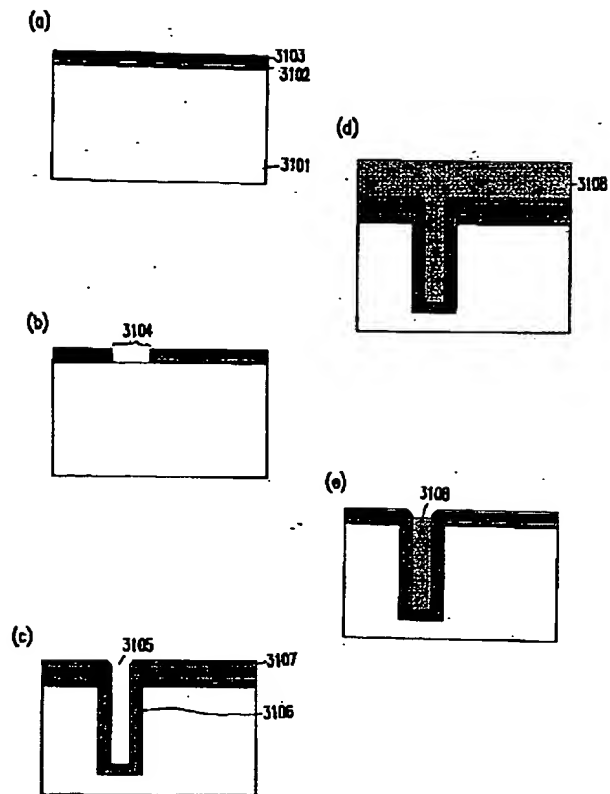
【図53】



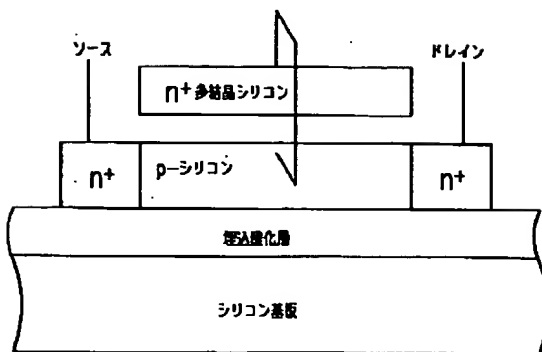
【図48】



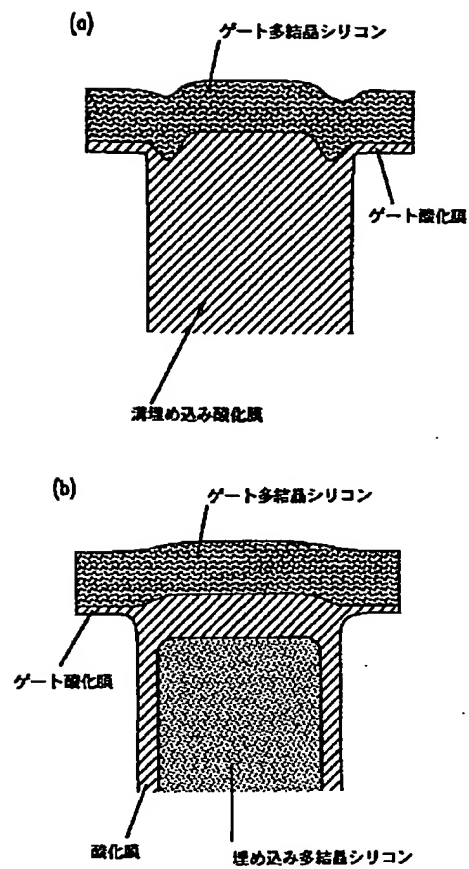
【図50】



【図54】



【図52】



フロントページの続き

(72)発明者 松岡 俊匡
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内